

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

THIS PAGE BLANK (USPTO)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-219636

(43)Date of publication of application : 19.08.1997

(51)Int.Cl.

H03K 19/0175

G09G 3/36

H03F 3/45

H03K 19/0948

(21)Application number : 08-024507

(71)Applicant : SHARP CORP

(22)Date of filing : 09.02.1996

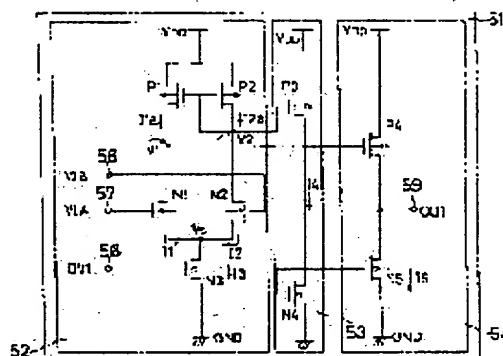
(72)Inventor : NAKAO TOMOAKI
OGAWA YOSHINORI

(54) DRIVE CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a drive circuit which is capable of controlling the current outputted based on the inputted voltage.

SOLUTION: In the output buffer 54 of a drive circuit 51, the N channel transistor N5 between an output terminal 59 and ground voltage GND is controlled by the current imparted to the N channel transistor N2 by the P channel transistors P2 and P3 composed ad current mirror circuits and the N channel transistors N4 and N5.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-219636

(43) 公開日 平成9年(1997)8月19日

(51) Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 19/0175			H 0 3 K 19/00	1 0 1 F
G 0 9 G 3/36			G 0 9 G 3/36	
H 0 3 F 3/45			H 0 3 F 3/45	A
H 0 3 K 19/0948			H 0 3 K 19/094	B

審査請求 未請求 請求項の数16 O L (全 33 頁)

(21) 出願番号 特願平8-24507

(22) 出願日 平成8年(1996)2月9日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 中尾 友昭

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72) 発明者 小川 嘉規

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

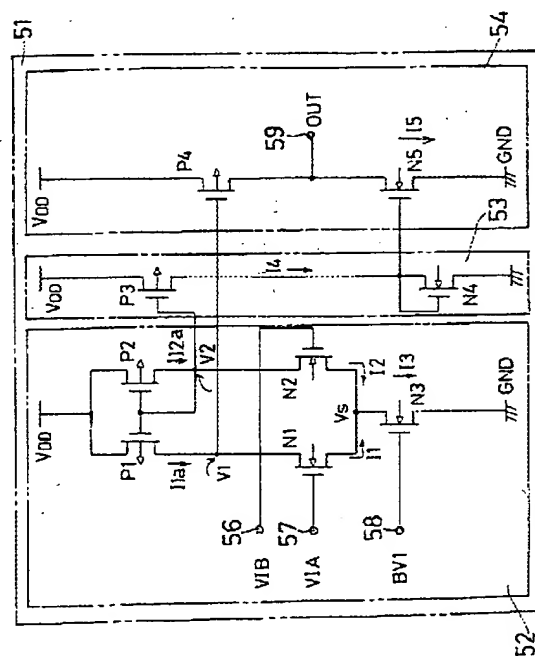
(74) 代理人 弁理士 西教 圭一郎

(54) 【発明の名称】 駆動回路

(57) 【要約】

【課題】 入力される電圧に基づいて出力される電流を制御することができる駆動回路を提供する。

【解決手段】 駆動回路51における出力バッファ54で、出力端子59と接地電圧GNDとの間に介挿されるNチャネルトランジスタN5は、カレントミラー回路として構成されるPチャネルトランジスタP2、P3およびNチャネルトランジスタN4、N5によって、NチャネルトランジスタN2に与えられる電流によって制御される。



【特許請求の範囲】

【請求項1】 ゲートに第1の入力信号が供給される一方チャネル型の第1の電界効果トランジスタと、ゲートに第2の入力信号が供給される一方チャネル型の第2の電界効果トランジスタとを差動対とし、各ソースには予め定める第1の電位がそれぞれ与えられ、各ドレインと予め定める第2の電位との間には各トランジスタに電流を供給する能動負荷が介在される差動増幅手段と、前記第1電界効果トランジスタのドレインの電位がゲートに与えられ、前記第2電位がソースに与えられる他方チャネル型の第3の電界効果トランジスタと、ソースに前記第1電位が与えられ、ドレインが前記第3電界効果トランジスタのドレインに接続される一方チャネル型の第4の電界効果トランジスタとを含み、共通に接続されたドレインの電位を出力する出力手段と、前記能動負荷が前記第2電界効果トランジスタに供給する電流量に基づいて、前記出力手段の第4電界効果トランジスタを駆動する電流量制御手段とを含むことを特徴とする駆動回路。

【請求項2】 前記能動負荷は、各ゲートが共通に接続され、各ソースには前記第2電位が与えられる他方チャネル型の第5および第6の電界効果トランジスタを含んで構成され、第5電界効果トランジスタのドレインは前記第1電界効果トランジスタのドレインに接続され、第6電界効果トランジスタのドレインは前記第2電界効果トランジスタのドレインと前記共通に接続された各ゲートとに接続され、前記電流量制御手段は、前記第6電界効果トランジスタのゲートとドレインとにゲートが接続されることによってカレントミラー回路を構成し、ソースに前記第2電位が与えられる他方チャネル型の第7の電界効果トランジスタと、前記第4電界効果トランジスタのゲートが、ゲートとドレインとに接続されることによってカレントミラー回路を構成し、前記第7電界効果トランジスタのドレインがドレインに接続され、ソースには前記第1電位が与えられる一方チャネル型の第8の電界効果トランジスタとを含んで構成されることを特徴とする請求項1記載の駆動回路。

【請求項3】 前記能動負荷は、第5および第6電界効果トランジスタに対してそれぞれ並列に設けられ、各ゲートに予め定める電位が与えられて導通状態となっている他方チャネル型の第9および第10の電界効果トランジスタを含むことを特徴とする請求項2記載の駆動回路。

【請求項4】 前記出力手段の出力を、前記第2入力信号として第2電界効果トランジスタのゲートに与えてボルテージフォロア回路とすることを特徴とする請求項1～3のうちのいずれか1つに記載の駆動回路。

【請求項5】 第1の駆動回路と第2の駆動回路とを備

える駆動回路であって、

第1の駆動回路は、

ゲートに第1の入力信号が供給されるNチャネル型の第1の電界効果トランジスタと、ゲートに第2の入力信号が供給されるNチャネル型の第2の電界効果トランジスタとを差動対とし、各ソースには接地電位がそれぞれ与えられ、各ドレインと予め定める電源電位との間には各トランジスタに電流を供給する第1能動負荷が介在される第1差動増幅手段と、

10 前記第1電界効果トランジスタのドレインの電位がゲートに与えられ、前記電源電位がソースに与えられるPチャネル型の第3の電界効果トランジスタと、ソースに前記接地電位が与えられ、ドレインが前記第3電界効果トランジスタのドレインに接続されるNチャネル型の第4の電界効果トランジスタとを含む第1出力手段と、前記第1能動負荷が前記第2電界効果トランジスタに供給する電流量に基づいて、前記第1出力手段の第4電界効果トランジスタを駆動する第1電流量制御手段とを含み、

20 第2の駆動回路は、

ゲートに前記第1入力信号が供給されるPチャネル型の第5の電界効果トランジスタと、ゲートに前記第2入力信号が供給されるPチャネル型の第6の電界効果トランジスタとを差動対とし、各ソースには前記電源電位がそれぞれ与えられ、各ドレインと前記接地電位との間には各トランジスタに電流を供給する第2能動負荷が介在される第2差動増幅手段と、

30 前記第5電界効果トランジスタのドレインの電位がゲートに与えられ、前記接地電位がソースに与えられるNチャネル型の第7の電界効果トランジスタと、ソースに前記電源電位が与えられ、ドレインが前記第7電界効果トランジスタのドレインに接続されるPチャネル型の第8の電界効果トランジスタとを含む第2出力手段と、前記第2能動負荷が前記第6電界効果トランジスタに供給する電流量に基づいて、前記第2出力手段の第8電界効果トランジスタを駆動する第2電流量制御手段とを含み、

40 前記第1および第2出力手段の各電界効果トランジスタのドレインを互いに接続し、接続点の電位を出力することを特徴とする駆動回路。

【請求項6】 前記第1能動負荷は、

各ゲートが共通に接続され、各ソースには前記電源電位が与えられるPチャネル型の第9および第10の電界効果トランジスタを含んで構成され、第9電界効果トランジスタのドレインは前記第1電界効果トランジスタのドレインに接続され、第10電界効果トランジスタのドレインは前記第2電界効果トランジスタのドレインと前記共通に接続された各ゲートとに接続され、

50 前記第1電流量制御手段は、

前記第 10 電界効果トランジスタのゲートとドレインとにゲートが接続されることによってカレントミラー回路を構成し、ソースに前記電源電位が与えられる P チャンネル型の第 11 の電界効果トランジスタと、

前記第 4 電界効果トランジスタのゲートが、ゲートとドレインとに接続されることによってカレントミラー回路を構成し、前記第 11 電界効果トランジスタのドレインがドレインに接続され、ソースには前記接地電位が与えられている N チャンネル型の第 12 の電界効果トランジスタとを含んで構成され、

前記第 2 能動負荷は、

各ゲートが共通に接続され、各ソースには前記接地電位が与えられる N チャンネル型の第 13 および第 14 の電界効果トランジスタを含んで構成され、

第 13 電界効果トランジスタのドレインは前記第 5 電界効果トランジスタのドレインに接続され、第 14 電界効果トランジスタのドレインは前記第 6 電界効果トランジスタのドレインと前記共通に接続された各ゲートとに接続され、

前記第 2 電流量制御手段は、

前記第 14 電界効果トランジスタのゲートとドレインとにゲートが接続されることによってカレントミラー回路を構成し、ソースに前記接地電位が与えられる N チャンネル型の第 15 の電界効果トランジスタと、

前記第 8 電界効果トランジスタのゲートが、ゲートとドレインとに接続されることによってカレントミラー回路を構成し、前記第 15 電界効果トランジスタのドレインが、ドレインとゲートとに接続され、ソースには前記電源電位が与えられる P チャンネル型の第 16 の電界効果トランジスタとを含んで構成されることを特徴とする請求項 5 記載の駆動回路。

【請求項 7】 前記第 1 能動負荷は、

第 9 および第 10 電界効果トランジスタに対してそれぞれ並列に設けられ、各ゲートに予め定める電位が与えられて導通状態となっている P チャンネル型の第 17 および第 18 の電界効果トランジスタを含み、

前記第 2 能動負荷は、

第 13 および第 14 電界効果トランジスタに対してそれぞれ並列に設けられ、各ゲートに予め定める電位が与えられて導通状態となっている N チャンネル型の第 19 および第 20 の電界効果トランジスタを含むことを特徴とする請求項 6 記載の駆動回路。

【請求項 8】 前記接続点の電位を、前記第 2 入力信号として第 2 および第 6 電界効果トランジスタのゲートに与えてボルテージフォロア回路とすることを特徴とする請求項 5～7 のうちいずれか 1 つに記載の駆動回路。

【請求項 9】 ゲートに第 1 の入力信号が供給される一方チャンネル型の第 1 の電界効果トランジスタと、ゲートに第 2 の入力信号が供給される一方チャンネル型の第 2 の電界効果トランジスタと、ゲートに第 3 の入力信号が供

給される一方チャンネル型の第 3 の電界効果トランジスタとを含み、各ソースには予め定める第 1 の電位がそれぞれ与えられ、各ドレインと予め定める第 2 の電位との間には各トランジスタに電流を供給する能動負荷が介在され、前記第 1 電界効果トランジスタと能動負荷との間には第 1 のスイッチング素子が介挿され、前記第 3 電界効果トランジスタと能動負荷との間には第 2 のスイッチング素子が介挿され、第 1 および第 2 スwitching 素子のいずれか一方を導通することによって、第 1 および第 2 トランジスタで差動対を構成するか、第 2 および第 3 トランジスタで差動対を構成するかを切替える差動増幅手段と、

前記第 1 および第 3 電界効果トランジスタのうちのいずれか一方のドレインの電位がゲートに与えられ、第 2 電位がソースに与えられる他方チャンネル型の第 4 の電界効果トランジスタと、ソースに第 1 電位が与えられ、ドレインが前記第 4 電界効果トランジスタのドレインに接続される一方チャンネル型の第 5 の電界効果トランジスタとを含み、共通に接続されたドレインの電位を出力する出力手段と、

前記能動負荷が前記第 2 電界効果トランジスタに供給する電流量に基づいて、前記出力手段の第 5 電界効果トランジスタを駆動する電流量制御手段とを含むことを特徴とする駆動回路。

【請求項 10】 前記能動負荷は、各ゲートが共通に接続され、各ソースには前記第 2 電位が与えられる他方チャンネル型の第 6 および第 7 の電界効果トランジスタを含んで構成され、第 6 電界効果トランジスタのドレインは前記第 1 および第 2 スwitching 素子に共通に接続され、第 7 電界効果トランジスタのドレインは前記第 2 電界効果トランジスタのドレインと前記共通に接続された各ゲートとに接続され、

前記電流量制御手段は、

前記第 7 電界効果トランジスタのゲートとドレインとにゲートが接続されることによってカレントミラー回路を構成し、ソースに前記第 2 電位が与えられる他方チャンネル型の第 8 の電界効果トランジスタと、

前記第 5 電界効果トランジスタのゲートが、ゲートとドレインとに接続されることによってカレントミラー回路を構成し、前記第 8 電界効果トランジスタのドレインがドレインに接続され、ソースには前記第 1 電位が与えられる一方チャンネル型の第 9 の電界効果トランジスタとを含んで構成されることを特徴とする請求項 9 記載の駆動回路。

【請求項 11】 前記能動負荷は、

第 6 および第 7 電界効果トランジスタに対してそれぞれ並列に設けられ、各ゲートに予め定める電位が与えられて導通状態となっている他方チャンネル型の第 10 および第 11 の電界効果トランジスタを含むことを特徴とする請求項 10 記載の駆動回路。

【請求項12】 前記出力手段の出力電位を、前記第2入力信号として第2電界効果トランジスタのゲートに与えてボルテージフォロア回路とすることを特徴とする請求項9～11のうちいずれか1つに記載の駆動回路。

【請求項13】 第1の駆動回路と第2の駆動回路とを備える駆動回路であって、

第1の駆動回路は、

ゲートに第1の入力信号が供給されるNチャネル型の第1の電界効果トランジスタと、ゲートに第2の入力信号が供給されるNチャネル型の第2の電界効果トランジスタと、ゲートに第3の入力信号が供給されるNチャネル型の第3の電界効果トランジスタとを含み、各ソースには予め定める接地電位がそれぞれ与えられ、各ドレインと予め定める電源電位との間には各トランジスタに電流を供給する第1能動負荷が介在され、前記第1電界効果トランジスタと第1能動負荷との間には第1のスイッチング素子が介挿され、前記第3電界効果トランジスタと第1能動負荷との間には第2のスイッチング素子が介挿され、第1および第2スイッチング素子のいずれか一方を導通することによって、第1および第2トランジスタで差動対を構成するか、第2および第3トランジスタで差動対を構成するかを切換える第1差動増幅手段と、前記第1および第3電界効果トランジスタのうちのいずれか一方のドレインの電位がゲートに与えられ、前記電源電位がソースに与えられるPチャネル型の第4の電界効果トランジスタと、ソースに前記接地電位が与えられ、ドレインが前記第4電界効果トランジスタのドレインに接続されるNチャネル型の第5の電界効果トランジスタとを含む第1出力手段と、

前記第1能動負荷が前記第2電界効果トランジスタに供給する電流量に基づいて、前記第1出力手段の第5電界効果トランジスタを駆動する第1電流量制御手段とを含み、

第2の駆動回路は、

ゲートに前記第1入力信号が供給されるPチャネル型の第6の電界効果トランジスタと、ゲートに前記第2入力信号が供給されるPチャネル型の第7の電界効果トランジスタと、ゲートに前記第3入力信号が供給されるPチャネル型の第8の電界効果トランジスタとを含み、各ソースには前記電源電位がそれぞれ与えられ、各ドレインと前記接地電位との間には各トランジスタに電流を供給する第2能動負荷が介在され、前記第6電界効果トランジスタと第2能動負荷との間には第3のスイッチング素子が介挿され、前記第8電界効果トランジスタと第2能動負荷との間には第4のスイッチング素子が介挿され、第3および第4スイッチング素子のいずれか一方を導通することによって、第6および第7トランジスタで差動対を構成するか、第7および第8トランジスタで差動対を構成するかを切換える第2差動増幅手段と、

前記第6および第8電界効果トランジスタのうちのい

れか一方のドレインの電位がゲートに与えられ、前記接地電位がソースに与えられるNチャネル型の第9の電界効果トランジスタと、ソースに前記電源電位が与えられ、ドレインが前記第9電界効果トランジスタのドレインに接続されるPチャネル型の第10の電界効果トランジスタとを含む第2出力手段と、

前記第2能動負荷が前記第7電界効果トランジスタに供給する電流量に基づいて、前記第2出力手段の第10電界効果トランジスタを駆動する第2電流量制御手段とを含み、

前記第1および第2出力手段の各電界効果トランジスタのドレインを互いに接続し、接続点の電位を出力することを特徴とする駆動回路。

【請求項14】 前記第1能動負荷は、

各ゲートが共通に接続され、各ソースには前記電源電位が与えられるPチャネル型の第11および第12の電界効果トランジスタを含んで構成され、

第11電界効果トランジスタのドレインは前記第1および第2スイッチング素子に共通に接続され、第12電界効果トランジスタのドレインは前記第2電界効果トランジスタのドレインと前記共通に接続された各ゲートとに接続され、

前記第1電流量制御手段は、

前記第12電界効果トランジスタのゲートとドレインとにゲートが接続されることによってカレントミラー回路を構成し、ソースに前記電源電位が与えられるPチャネル型の第13の電界効果トランジスタと、

前記第5電界効果トランジスタのゲートが、ゲートとドレインとに接続されることによってカレントミラー回路を構成し、前記第13電界効果トランジスタのドレインがドレインに接続され、ソースには前記接地電位が与えられるNチャネル型の第14の電界効果トランジスタとを含んで構成され、

前記第2能動負荷は、

各ゲートが共通に接続され、各ソースには前記接地電位が与えられるNチャネル型の第15および第16の電界効果トランジスタを含んで構成され、

第15電界効果トランジスタのドレインは前記第3および第4スイッチング素子に共通に接続され、第16電界効果トランジスタのドレインは前記第7電界効果トランジスタのドレインに接続され、

前記第2電流量制御手段は、

前記第16電界効果トランジスタのゲートとドレインとにゲートが接続されることによってカレントミラー回路を構成し、ソースに前記接地電位が与えられるNチャネル型の第17の電界効果トランジスタと、

前記第10電界効果トランジスタのゲートが、ゲートとドレインとに接続されることによってカレントミラー回路を構成し、前記第17電界効果トランジスタのドレインがドレインに接続され、ソースには前記電源電位が与

えられるPチャネル型の第18の電界効果トランジスタとを含んで構成されることを特徴とする請求項13記載の駆動回路。

【請求項15】 前記第1能動負荷は、

第11および第12電界効果トランジスタに対してそれぞれ並列に設けられ、各ゲートに予め定める電位が与えられて導通状態となっているPチャネル型の第19および第20の電界効果トランジスタを含み、

前記第2能動負荷は、

第15および第16電界効果トランジスタに対してそれぞれ並列に設けられ、各ゲートに予め定める電位が与えられて導通状態となっているNチャネル型の第21および第22の電界効果トランジスタを含むことを特徴とする請求項14記載の駆動回路。

【請求項16】 前記接続点の電位を、前記第2入力信号として第2および第7電界効果トランジスタのゲートに与えてボルテージフォロア回路とすることを特徴とする請求項13～15のうちのいずれか1つに記載の駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、CMOS（相補型金属酸化物半導体）で構成される駆動回路に関し、特にアクティブマトリクス方式の液晶表示パネルを駆動するドライバなどに好適に用いられる駆動回路に関する。

【0002】

【従来の技術】図17は、MOS集積回路上に構成するオペアンプ回路として用いられる第1の先行技術である駆動回路1の回路図である。駆動回路1は、差動増幅回路2と出力バッファ3とを含んで構成される。駆動回路1には、反転入力端子4と、非反転入力端子5と、第1バイアス入力端子6と、第2バイアス入力端子7と、出力端子8とが設けられている。

【0003】差動増幅回路2は、NチャネルMOSトランジスタを差動対とする差動増幅回路であり、NチャネルMOSトランジスタTn1、Tn2、Tn3と、PチャネルMOSトランジスタTp1、Tp2とを含んで構成される。本明細書において、NチャネルMOSトランジスタおよびPチャネルMOSトランジスタを単に「トランジスタ」と称することがある。

【0004】トランジスタTn1のゲートは非反転入力端子5に接続され、非反転入力電圧VINbが供給される。トランジスタTn2のゲートは反転入力端子4に接続され、反転入力電圧VINAが供給される。トランジスタTp1、Tp2は、トランジスタTn1、Tn2の能動負荷であり、ソースには電源電圧として電圧VDDが与えられている。

【0005】トランジスタTn3のゲートは、第1バイアス入力端子6に接続され、予め定める電圧レベルのバイアス電圧VB1が与えられる。トランジスタTn3の

ソースは接地され、ドレインはトランジスタTn1、Tn2の各ドレインに共通に接続される。トランジスタTn3は、トランジスタTn1、Tn2に適当なバイアス電流を与えるための定電流源である。

【0006】出力バッファ3においては、PチャネルMOSトランジスタTp3のゲートに差動増幅回路2におけるトランジスタTn1のドレインの電位が与えられる。トランジスタTp3のソースには電圧VDDが与えられており、前記ドレイン電圧に基づいて電流が流れる。この電流は、出力端子8を介して外部の負荷へと与えられる。NチャネルMOSトランジスタTn4のゲートには、第2バイアス入力端子7から予め定める電圧レベルのバイアス電圧VB2が与えられる。トランジスタTn4のソースは接地され、ドレインはトランジスタTp3のドレインと同様に出力端子8に接続される。トランジスタTn4は、定電流負荷として作用する。駆動回路1は、たとえば図2に示すような液晶表示パネル63を駆動する際には、反転入力端子4と出力端子8とを接続し、ボルテージフォロアとして動作させる。

【0007】駆動回路1の動作について説明する。非反転入力電圧VINbの電圧レベルに応じてトランジスタTn1に流れる電流量が制御される。また、反転入力電圧VINAの電圧レベルによって、トランジスタTn2からトランジスタTp1、Tp2で構成されるカレントミラー回路を介して流れる電流量を制御することで、出力トランジスタTp3に流れる電流量が変化する。たとえば、反転入力電圧VINAの電圧レベルに対して非反転入力電圧VINbの電圧レベルが高い場合は、トランジスタTp3に流れる電流が増加する。また、反転入力電圧VINAの電圧レベルに対して非反転入力電圧VINbの電圧レベルが低い場合は、トランジスタTp3に流れる電流が減少する。

【0008】トランジスタTp3に流れる電流は、第2バイアス入力端子7からのバイアス電圧VB2によってトランジスタTn4に流れる負荷電流と比較される。この比較の結果に基づいて、出力端子8から出力される電圧が変化する。前述のボルテージフォロアでは、出力端子8を反転入力端子4に接続することで、非反転入力端子5の非反転入力電圧VINbに追従して、反転入力電圧VINAが非反転入力電圧VINbと同電圧となるように負帰還動作がなされる。

【0009】負荷の状態によらず常に最適な双方向の出力電流制御を可能とした駆動回路が、第2および第3の先行技術として特開平6-214527号公報に開示されている。

【0010】図18は第2の先行技術である駆動回路11の回路図であり、図19は第3の先行技術である駆動回路16の回路図である。駆動回路11、16において、前述の駆動回路1と同様の構成要素および同様の機能を行う構成要素については同一の参照符を付して説明

を省略する。

【0011】図18に示される駆動回路11は、差動増幅回路12と、レベル変換回路13と、出力バッファ14とを含んで構成される。差動増幅回路12は、入力トランジスタ T_{n11} 、 T_{n12} と、定電流トランジスタ T_{n13} と、カレントミラートランジスタ T_{p11} 、 T_{p12} とを含んで構成される。レベル変換回路13は、Pチャネルトランジスタ T_{p13} 、 T_{p14} と、トランジスタ T_{p13} 、 T_{p14} の各ドレインにそれぞれ接続される負荷とを含んで構成される。トランジスタ T_{p13} のゲートには差動増幅回路12の出力としてトランジスタ T_{p12} のドレインの電位が与えられ、トランジスタ T_{p14} のゲートにはトランジスタ T_{p13} のドレインの電位が与えられる。

【0012】駆動回路11では、トランジスタ T_{p13} のドレインに接続される負荷として、一定の直流電圧 V_{B2} がゲートに与えられたNチャネルトランジスタ T_{n14} を用いており、トランジスタ T_{p14} の負荷としてゲートがドレインに接続されたNチャネルトランジスタ T_{n15} を用いている。

【0013】出力バッファ14は、Pチャネルトランジスタ T_{p15} およびNチャネルトランジスタ T_{n16} を含んで構成され、トランジスタ T_{p15} のゲートには差動増幅回路12の出力が与えられ、トランジスタ T_{n16} のゲートにはレベル変換回路13の出力が与えられる。トランジスタ T_{p15} およびトランジスタ T_{n16} のドレインは互いに接続されている。

【0014】駆動回路11の動作について説明する。差動増幅回路12は、非反転入力電圧 V_{INb} と反転入力電圧 V_{INa} との電圧差を増幅した出力が得られ、反転入力電圧 V_{INa} の電圧に対して非反転入力電圧 V_{INb} の電圧が高くなると、差動増幅回路12の出力であるトランジスタ T_{n12} のドレイン電圧が下降し、逆に非反転入力電圧 V_{INb} の電圧が低くなると、トランジスタ T_{n12} のドレイン電圧が上昇する。したがって、差動増幅回路12の出力がゲートに与えられる出力バッファ14のトランジスタ T_{p15} は、非反転入力電圧 V_{INb} の電圧が高くなるとソース・ドレイン間の抵抗値が低くなり、逆に非反転入力電圧 V_{INb} の電圧が低くなるとソース・ドレイン間の抵抗値が高くなる。反転入力電圧 V_{INa} および非反転入力電圧 V_{INb} の電圧が等しいときには、差動増幅回路12の出力電圧がトランジスタ T_{p15} のしきい値電圧となるように差動増幅回路12は設定される。

【0015】一方、差動増幅回路12の出力は、レベル変換回路13のトランジスタ T_{p13} で反転され、さらにトランジスタ T_{p14} で反転され、出力バッファ14のトランジスタ T_{n16} のゲートに与えられる。したがって、非反転入力電圧 V_{INb} の電圧が高くなるとトランジスタ T_{n16} のソース・ドレイン間の抵抗値が高く

なり、逆に非反転入力電圧 V_{INb} の電圧が低くなるとソース・ドレイン間の抵抗値が低くなる。反転入力電圧 V_{INa} および非反転入力電圧 V_{INb} の電圧が等しいときには、トランジスタ T_{p13} のドレイン電圧がトランジスタ T_{p14} のしきい値電圧に、またトランジスタ T_{p14} のドレイン電圧がトランジスタ T_{n16} のしきい値電圧になるようにトランジスタ T_{p13} 、 T_{p14} の負荷の値が設定される。したがって、反転入力電圧・非反転入力電圧の電圧差に対応した出力電圧が得られ、双方向の出力電流制御を実現している。

【0016】図19に示されている駆動回路16は、差動増幅回路12と、レベル変換回路17と、出力バッファ18とを含んで構成される。差動増幅回路12は、前述の駆動回路11における差動増幅回路12と同一の回路である。レベル変換回路17は、Pチャネルトランジスタ T_{p21} 、 T_{p22} と、トランジスタ T_{p21} 、 T_{p22} の各ドレインにそれぞれ接続される負荷とを含んで構成され、トランジスタ T_{p21} 、 T_{p22} の各ゲートには差動増幅回路12の出力がそれぞれ与えられる。

【0017】駆動回路16では、トランジスタ T_{p21} のドレインに接続される負荷として、一定の直流電圧 V_{B2} がゲートに与えられたNチャネルトランジスタ T_{n21} を用いており、トランジスタ T_{p22} の負荷として、ドレインがトランジスタ T_{p22} のドレインに接続され、ゲートが前記ドレインに接続されたNチャネルトランジスタ T_{n22} を用いている。

【0018】出力バッファ18は、Pチャネルトランジスタ T_{p23} およびNチャネルトランジスタ T_{n23} を含んで構成される。トランジスタ T_{p23} のゲートはトランジスタ T_{p21} のドレインに接続され、トランジスタ T_{n23} のゲートはトランジスタ T_{p22} のドレインに接続され、トランジスタ T_{p23} 、 T_{n23} の各ドレインは互いに接続されている。

【0019】駆動回路11と同様に駆動回路16においても、反転入力電圧 V_{INa} および非反転入力電圧 V_{INb} の電圧差に対応した出力電圧が得られ、双方向の出力電流制御が実現されている。

【0020】図20は、第4の先行技術である特開平2-92008号公報に開示されているCMOS演算増幅回路である駆動回路21の回路図である。駆動回路21には、反転入力端子25、非反転入力端子26、第1バイアス入力端子27、第2バイアス入力端子28、および出力端子29が設けられており、第1差動増幅回路22と、第2差動増幅回路23と、出力増幅回路24とを含んで構成される。

【0021】第1差動増幅回路22は、Nチャネルトランジスタ M_{n1} 、 M_{n2} 、 M_{n3} とPチャネルトランジスタ M_{p1} 、 M_{p2} とを含んで構成される。また、第2差動増幅回路23は、Nチャネルトランジスタ M_{n4} 、 M_{n5} とPチャネルトランジスタ M_{p4} 、 M_{p5} 、 M_{p6}

6とを含んで構成される。出力増幅回路24は、第1差動増幅回路22の出力aがゲートに与えられるトランジスタMp3と、第2差動増幅回路23の出力bがゲートに与えられるトランジスタMn6とを含んで構成される。

【0022】第1差動増幅回路22において、差動対となっているトランジスタMn2、Mn3はソースが共通に接続されている。トランジスタMn2のゲートは、反転入力端子25に接続されており電圧V1が供給される。トランジスタMn3のゲートは、非反転入力端子26に接続されており電圧V2が供給される。

【0023】トランジスタMp1、Mp2は、トランジスタMn2、Mn3の能動負荷であり、それぞれのソースに電圧VDDが与えられる。また、トランジスタMp1、Mp2のゲートには、トランジスタMn2のドレイン電位が与えられ、導通/遮断が制御される。トランジスタMp2のドレインの電位が出力増幅回路24への出力aを制御する信号となっている。

【0024】トランジスタMn1は、トランジスタMn2、Mn3に適当なバイアス電流を与えるための定電流源であり、ソースには電圧VSSが与えられており、ドレインはトランジスタMn2、Mn3の各ソースに接続される。また、ゲートに与えられる第1バイアス入力端子27からのバイアス電圧VB1によってトランジスタMn2、Mn3に供給するバイアス電流が定められる。第1差動増幅回路22の出力aによって、出力トランジスタMp3が駆動される。

【0025】第2差動増幅回路23は、第1差動増幅回路22に含まれる各トランジスタの導電型を入換えた構造であるので、第1差動増幅回路22と異なる点について説明する。トランジスタMn1、Mn2、Mn3、Mp1、Mp2がこの順番で、トランジスタMp4、Mp5、Mp6、Mn4、Mn5にそれぞれ置換えられる。

【0026】トランジスタMp5のゲートはトランジスタMn2と共通に反転入力端子25に接続されており、トランジスタMp6のゲートはトランジスタMn3と共通に非反転入力端子26に接続されている。トランジスタMn4、Mn5のソースには電圧VSSがそれぞれ供給されている。トランジスタMp5のドレインの電位が出力bとしてトランジスタMn6のゲートに与えられる。トランジスタMp4のゲートは、第2バイアス入力端子28に接続され、バイアス電圧VB2が与えられる。トランジスタMp4のソースには電圧VDDが供給されており、ドレインはトランジスタMp5、Mp6の各ソースに接続されている。

【0027】出力増幅回路24では、トランジスタMp3のソースには電圧VDDが与えられ、トランジスタMn6のソースには電圧VSSが与えられる。トランジスタMp3、Mn6の各ドレインが共通に出力端子29に接続される。

【0028】上述のように構成される駆動回路21の動作について説明する。図21は、駆動回路21の動作を説明するための図である。横軸は非反転入力端子26に入力される非反転入力電圧である電圧V2を示し、縦軸は反転入力端子25に入力される反転入力電圧である電圧V1を示す。

【0029】非反転入力端子26に入力される電圧が反転入力端子25に入力される電圧より高くなると、第1差動増幅回路22のトランジスタMn3を流れる電流が増加し、トランジスタMp2のドレイン電位を下げるので、トランジスタMp3は導通され、出力端子29の電位を上げる。また、第2差動増幅回路23のトランジスタMp6を流れる電流が減少し、トランジスタMn5のドレイン電位を下げるので、トランジスタMn6が遮断される。したがって、出力端子29の電位は電圧VDD側へと上昇する。

【0030】非反転入力端子26に入力される電圧が反転入力端子25に入力される電圧より低くなると、第2差動増幅回路23のトランジスタMp6を流れる電流が増加し、トランジスタMn5のドレイン電位が上昇してトランジスタMn6を導通させる。また、トランジスタMn3を流れる電流が減少し、トランジスタMp2のドレイン電位が上昇してトランジスタMp3を遮断させる。したがって、出力端子29の電位は電圧VSS側へと下降する。

【0031】上述したように駆動回路21の出力端子29からの出力は、トランジスタMp3、Mn6によってブッシュアップ形式で出力される。トランジスタMp3、Mn6はいずれもソース接地されており、そのゲート信号は十分な振幅を持つため、広い出力ダイナミックレンジと大きな負荷の駆動とを期待できる構成となっている。

【0032】なお、上述の駆動回路21を構成する各トランジスタは、一般的にエンハンスメント型のトランジスタが用いられる。エンハンスメント型のトランジスタは、製造時にチャネル領域を形成しないので、たとえばNチャネルのトランジスタの場合、ゲートに正電圧を印加した場合のみドレイン電流が流れる。また、エンハンスメント型のトランジスタに対してデュブリジョン型のトランジスタは、製造時にソースとドレインとの間にチャネル領域を形成するので、ゲートに正負いずれの電圧を加えてもドレイン電流が流れる。

【0033】トランジスタMn2、Mn3がエンハンスメント型のトランジスタであり、正のしきい値電圧 V_{th} を持っているとすると、それぞれの入力端子25、26から供給される電圧V1、V2が電圧 $VSS + V_{th}$ 以下になると、トランジスタMn2、Mn3が遮断され、第1差動増幅回路22には電流が流れなくなるので、トランジスタMp3のゲート電位は電圧VDDまで上がる。このとき、トランジスタMp3がエンハンスメ

13

ント型のトランジスタであって負のしきい値電圧 V_{tp} を持っているとすると、トランジスタ M_{p3} は遮断されることがとなり、出力電圧 V_O を電圧 $V_{DD} - |V_{tp}|$ を超える電圧とすることはできない。同様に、トランジスタ M_{p5} 、 M_{p6} がエンハンスメント型のトランジスタであり、負のしきい値電圧 V_{tp} を持つとすると、入力される電圧が電圧 $V_{DD} - |V_{tp}|$ より高い場合には第2差動増幅回路23に電流が流れなくなり、トランジスタ M_{n6} のゲート電位は電圧 V_{SS} まで下がる。トランジスタ M_{n6} がエンハンスメント型トランジスタであって正のしきい値電圧 V_{tn} を持っているとすると遮断されることがとなり、出力端子29から出力される出力電圧 V_O を電圧 $V_{DD} + V_{tn}$ 未満の電圧とすることができない。

【0034】上述のように構成された駆動回路21が正常に動作するのは、反転および非反転入力端子25、26に入力される電圧が電圧 $V_{SS} + V_{tn}$ から電圧 $V_{DD} - |V_{tp}|$ までの間となり、駆動回路21が動作することができる電圧の範囲が制限されることとなる。

【0035】駆動回路21の各トランジスタを前述のデュプリージョン型のトランジスタで形成することによって、動作することができる電圧の範囲を電圧 $V_{SS} \sim V_{DD}$ とすることができるが、デュプリージョン型のトランジスタはエンハンスメント型のトランジスタに対して特別な製造プロセスが必要となり、製造コストを上昇させる要因となる。

【0036】第5の先行技術として、駆動回路31が特開平4-295699号公報に開示されている。図22は駆動回路31の概略的な構成を示すブロック図であり、図23は駆動回路31に含まれる差動増幅回路32の回路図である。駆動回路31は、たとえば後述する図2に示す液晶表示パネル63を駆動する回路として用いられる。

【0037】駆動回路31は、差動増幅回路32と、出力回路33とを含んで構成される。差動増幅回路32の出力端子32dは、出力回路33の入力端子33aに接続される。また、出力回路33の出力端子33bからの出力は差動増幅回路32の反転入力端子32cに接続される。したがって、駆動回路31はボルテージフォロアとなっている。

【0038】図22において、サンプル・ホールドすべき、たとえば映像信号などのアナログ信号 Y が、入力信号線39から入力される。コンデンサ34、35は、それぞれアナログ信号 Y の電圧を保持するためのものであり、各コンデンサ34、35の一方の端子はそれぞれアナログスイッチ37、38を介して入力信号線39に接続され、他方の端子は共に接地されている。

【0039】駆動回路31における差動増幅回路32は、2つの非反転入力端子32a、32bを備え、非反転入力端子32aはコンデンサ35の一方の端子に接続

14

され、非反転入力端子32bはコンデンサ34の一方の端子に接続されている。差動増幅回路32の制御端子32e、32fには、制御信号 S_3 、 S_4 がそれぞれ入力される。出力回路33の出力とグランドとの間に接続されたNチャネルMOSトランジスタ36は、アナログスイッチとして機能し、そのゲートには信号線40を介して制御信号 R が入力される。

【0040】図23を参照すると、差動増幅回路32は、Nチャネルトランジスタ $N_{51} \sim N_{57}$ と、Pチャネルトランジスタ P_{51} 、 P_{52} とを含んで構成される。トランジスタ N_{57} のソースはグランドに接続され、ゲートには所定の電圧 V_b が印加されている。トランジスタ N_{57} は、トランジスタ N_{53} 、 N_{54} 、 N_{56} に適切なバイアス電流を与えるための定電流源である。

【0041】PチャネルMOSトランジスタ P_{51} 、 P_{52} の各ソースは共に電源 V_{DD} に接続され、また各ゲートはいずれもトランジスタ P_{51} のドレインに接続されている。NチャネルMOSトランジスタ N_{56} 、 N_{53} の各ソースは共にトランジスタ N_{57} のドレインに接続され、トランジスタ N_{56} 、 N_{53} の各ドレインはそれぞれ、トランジスタ N_{55} 、 N_{51} を介してトランジスタ P_{51} のドレインに接続されている。

【0042】トランジスタ N_{56} 、 N_{53} の各ゲートはそれぞれ非反転入力端子32a、32bに接続され、トランジスタ N_{55} 、 N_{51} の各ゲートはそれぞれ制御端子32e、32fに接続されて制御信号 S_3 、 S_4 が入力されている。

【0043】トランジスタ N_{54} のドレインは、トランジスタ N_{52} を介してトランジスタ P_{52} のドレインに接続され、トランジスタ N_{54} のソースはトランジスタ N_{57} のドレインに接続される。トランジスタ N_{54} のゲートは、反転入力端子32cに接続される。トランジスタ N_{52} 、 P_{52} の接続点が差動増幅回路32の出力端子32dに接続されている。トランジスタ N_{52} のゲートは電源 V_{DD} に接続されていて、常に導通状態となっている。

【0044】図24は、差動増幅回路32の動作のタイミングチャートである。時刻 t_1 で、制御信号 S_1 がハイレベルとなると、アナログスイッチ37がオンとなって信号 Y がコンデンサ35に印加され、コンデンサ35は充電される。その後、信号 S_1 がローレベルになってアナログスイッチ37がオフとなると、コンデンサ35はそのときの信号 Y の電圧 D_1 を保持する。

【0045】その後、制御信号 R がハイレベルとなると、トランジスタ36は導通して出力回路33の出力はグランドレベルとなる。制御信号 S_3 がハイレベルとなることによって、コンデンサ35に保持されている電圧 D_1 が、差動増幅回路32と出力回路33とを介して出力電圧 D_1a として出力される。

【0046】また、時刻 t_2 で制御信号 S_2 がハイレベルとなると、アナログスイッチ38がオンとなって信号 Y がコンデンサ34に印加され、コンデンサ34は充電される。その後、信号 S_2 がローレベルになってアナログスイッチ38がオフとなると、コンデンサ34はそのときの信号 Y の電圧 D_2 を保持する。

【0047】その後、制御信号 R がハイレベルとなると、トランジスタ36は導通して出力回路33の出力はグラントレベルとなる。制御信号 S_4 がハイレベルとなることによって、コンデンサ34に保持されている電圧 D_2 が、差動増幅回路32と出力回路33とを介して出力電圧 D_2a として出力される。

【0048】以後、アナログスイッチ37、38が交互にオンとなって信号 Y の電圧 D_3 、 D_4 、…がサンプリングされ出力される。

【0049】

【発明が解決しようとする課題】図17に示すような駆動回路1では、負荷を駆動する出力電流の制御が出力バッファ3のトランジスタ T_p 3で行われるため、制御される出力電流は流出（または流入）の一方方向であり、他方向は出力バッファ3を構成する負荷である定電流トランジスタ T_n 4に流れる電流で定まる。この電流容量を大きくすると、出力バッファ3の貫通電流が増加するため、出力回路としての消費電流が大きくなってしまい、逆に消費電流を抑えようとする、電流容量が小さくなり出力回路の負荷駆動能力が低下してしまうと言う問題点がある。

【0050】また上述の各駆動回路1、21、31などの単方向にしか駆動することができない駆動回路では、仮に非反転入力電圧が下降して行くと、非反転入力電圧がゲートに与えられるトランジスタのドレイン電圧が下降し、定電流源として動作しなくなり差動対に供給される電流が減少する。そのため、前記各駆動回路は正常に動作しなくなる。さらに、非反転入力電圧が下降すると差動対のトランジスタが遮断されてしまい、駆動回路の動作が停止する。したがって、これらの回路は、入力される電圧が、差動対を構成するトランジスタのしきい値電圧以上もしくは以下でないとう動作することができない。すなわち、たとえば差動対を構成するトランジスタが正のしきい値電圧 V_{tn} をもつ場合、入力電圧が電圧 $GND \sim$ 電圧 V_{tn} である領域では動作しない。前記電圧領域は、約1V以上もあるので、最近の傾向である駆動電圧の低電圧化が進む中では特に重要な問題となる。そのため、少ない素子数で、かつ電源電圧全領域にわたって駆動可能なエンハンスメント型のプッシュプル差動増幅回路が求められている。

【0051】また、駆動回路11、16では、双方向駆動を実現しているが電源電圧全領域で駆動することができない。

【0052】また、一般的な非反転入力端子が1つであ

る駆動回路においては、図22に示す駆動回路31のように2つのコンデンサにそれぞれ保持された電圧を読み込み、制御信号に従っていずれか一方の電圧を交互に選択し出力することができず、サンプル・ホールドの回路構成が複雑化し、回路構成によってはサンプリングした電圧を減衰させ、信号の伝達精度が低下する可能性がある。

【0053】本発明の目的は、差動増幅手段の2つの入力端子に入力される2つの入力信号に基づいて増幅を行い、出力される電流を制御することができる駆動回路を提供することである。

【0054】また本発明の他の目的は、差動増幅手段に入力される2つの入力信号の一方の信号として異なる2つの信号を交互に入力して異なる2つの組み合わせでの増幅を行い、かつ出力される電流を制御することができる駆動回路を提供することである。

【0055】

【課題を解決するための手段】本発明は、ゲートに第1の入力信号が供給される一方チャネル型の第1の電界効果トランジスタと、ゲートに第2の入力信号が供給される一方チャネル型の第2の電界効果トランジスタとを差動対とし、各ソースには予め定める第1の電位がそれぞれ与えられ、各ドレインと予め定める第2の電位との間には各トランジスタに電流を供給する能動負荷が介在される差動増幅手段と、前記第1電界効果トランジスタのドレインの電位がゲートに与えられ、前記第2電位がソースに与えられる他方チャネル型の第3の電界効果トランジスタと、ソースに前記第1電位が与えられ、ドレインが前記第3電界効果トランジスタのドレインに接続される一方チャネル型の第4の電界効果トランジスタとを含み、共通に接続されたドレインの電位を出力する出力手段と、前記能動負荷が前記第2電界効果トランジスタに供給する電流量に基づいて、前記出力手段の第4電界効果トランジスタを駆動する電流量制御手段とを含むことを特徴とする駆動回路である。

本発明に従えば、出力手段の第3電界効果トランジスタは、差動増幅手段に供給される第1および第2入力信号によって駆動される。出力手段は、第3の電界効果トランジスタのドレインと、第1の電位との間に流れる電流を制御する第4電界効果トランジスタを含んで構成されている。この第4電界効果トランジスタは、能動負荷が第2電界効果トランジスタに供給する電流量に基づいて電流量制御手段によって駆動される。したがって、出力手段を流れる電流は、第3電界効果トランジスタのみでなく、第4電界効果トランジスタによっても制御されることとなり、第1および第2入力信号の電圧レベルがほぼ等しい平衡状態であるときには、出力手段を流れる電流を低減することができる。また、第1および第2入力信号の差が大きいときには、第4電界効果トランジスタに流れる電流量が多くなり、駆動回路に接続される負荷

に対する駆動能力を向上させることができる。

【0056】また本発明の前記能動負荷は、各ゲートが共通に接続され、各ソースには前記第2電位が与えられる他方チャネル型の第5および第6の電界効果トランジスタを含んで構成され、第5電界効果トランジスタのドレインは前記第1電界効果トランジスタのドレインに接続され、第6電界効果トランジスタのドレインは前記第2電界効果トランジスタのドレインと前記共通に接続された各ゲートとに接続され、前記電流量制御手段は、前記第6電界効果トランジスタのゲートとドレインとにゲートが接続されることによってカレントミラー回路を構成し、ソースに前記第2電位が与えられる他方チャネル型の第7の電界効果トランジスタと、前記第4電界効果トランジスタのゲートが、ゲートとドレインとに接続されることによってカレントミラー回路を構成し、前記第7電界効果トランジスタのドレインがドレインに接続され、ソースには前記第1電位が与えられる一方チャネル型の第8の電界効果トランジスタとを含んで構成されることを特徴とする。本発明に従えば、第5および第6電界効果トランジスタがカレントミラー回路であるので第1および第2電界効果トランジスタには等しい電流が流れ、第6および第7電界効果トランジスタがカレントミラー回路を構成しているので第7電界効果トランジスタから第8電界効果トランジスタへは第2電界効果トランジスタに流れる電流と同一の電流が流れ、さらに第8および第4電界効果トランジスタがカレントミラー回路となっているので、第4電界効果トランジスタは第6電界効果トランジスタから第2電界効果トランジスタへ供給される電流と等しい電流がゲートに与えられて駆動される。したがって、出力手段を流れる電流を第3電界効果トランジスタのみでなく第4電界効果トランジスタによっても制御することができ、平衡状態における出力手段を流れる電流を低減することができる。また、第1および第2入力信号の差が大きいたときには、第4電界効果トランジスタに流れる電流量が多くなり、駆動回路に接続される負荷に対する駆動能力を向上させることができる。

【0057】また本発明の前記能動負荷は、第5および第6電界効果トランジスタに対してそれぞれ並列に設けられ、各ゲートに予め定める電位が与えられて導通状態となっている他方チャネル型の第9および第10の電界効果トランジスタを含むことを特徴とする。

本発明に従えば、能動負荷の第9および第10電界効果トランジスタは、予め定める電位がゲートに与えられており、第5および第6電界効果トランジスタとともに所定の電流を第1および第2電界効果トランジスタに供給する。出力手段の第4電界効果トランジスタを流れる電流量は、第6電界効果トランジスタと第10電界効果トランジスタとから第2電界効果トランジスタに供給される電流量によって制御される。したがって、第9および

第10電界効果トランジスタのゲートに印加する電位を制御することによって、第4電界効果トランジスタのゲートに与えられる電流量が制御され、出力手段を流れる電流量を制御することができる。また、第1および第2入力信号の差が大きいたときには、第4電界効果トランジスタに流れる電流量が多くなり、駆動回路に接続される負荷に対する駆動能力を向上させることができる。

【0058】また本発明は、前記出力手段の出力を、前記第2入力信号として第2電界効果トランジスタのゲートに与えてボルテージフォロア回路とすることを特徴とする

。本発明に従えば、出力手段の出力を第2入力信号として第2電界効果トランジスタのゲートに与えてボルテージフォロア回路とする。したがって、第1および第2電界効果トランジスタに与えられる信号の電圧レベルが同電位となり、第1および第2電界効果トランジスタに与えられる第1および第2入力信号が急激に変化することがない限り、駆動回路は平衡状態で動作することとなり、出力手段を流れる電流、すなわち駆動回路で消費される電流を低減することができる。

【0059】また本発明は、第1の駆動回路と第2の駆動回路とを備える駆動回路であって、第1の駆動回路は、ゲートに第1の入力信号が供給されるNチャネル型の第1の電界効果トランジスタと、ゲートに第2の入力信号が供給されるNチャネル型の第2の電界効果トランジスタとを差動対とし、各ソースには接地電位がそれぞれ与えられ、各ドレインと予め定める電源電位との間には各トランジスタに電流を供給する第1能動負荷が介在される第1差動増幅手段と、前記第1電界効果トランジスタのドレインの電位がゲートに与えられ、前記電源電位がソースに与えられるPチャネル型の第3の電界効果トランジスタと、ソースに前記接地電位が与えられ、ドレインが前記第3電界効果トランジスタのドレインに接続されるNチャネル型の第4の電界効果トランジスタとを含む第1出力手段と、前記第1能動負荷が前記第2電界効果トランジスタに供給する電流量に基づいて、前記第1出力手段の第4電界効果トランジスタを駆動する第1電流量制御手段とを含み、第2の駆動回路は、ゲートに前記第1入力信号が供給されるPチャネル型の第5の電界効果トランジスタと、ゲートに前記第2入力信号が供給されるPチャネル型の第6の電界効果トランジスタとを差動対とし、各ソースには前記電源電位がそれぞれ与えられ、各ドレインと前記接地電位との間には各トランジスタに電流を供給する第2能動負荷が介在される第2差動増幅手段と、前記第5電界効果トランジスタのドレインの電位がゲートに与えられ、前記接地電位がソースに与えられるNチャネル型の第7の電界効果トランジスタと、ソースに前記電源電位が与えられ、ドレインが前記第7電界効果トランジスタのドレインに接続されるPチャネル型の第8の電界効果トランジスタとを含む第

2出力手段と、前記第2能動負荷が前記第6電界効果トランジスタに供給する電流量に基づいて、前記第2出力手段の第8電界効果トランジスタを駆動する第2電流量制御手段とを含み、前記第1および第2出力手段の各電界効果トランジスタのドレインを互いに接続し、接続点の電位を出力することを特徴とする駆動回路である。

本発明に従えば、駆動回路はNチャネル型の第1および第2電界効果トランジスタを差動対とし、第1出力手段を流れる電流量を制御するNチャネル型の第4電界効果トランジスタが設けられた第1駆動回路と、第2出力手段を流れる電流量を制御するPチャネル型の第8電界効果トランジスタが設けられた第2駆動回路とによって構成され、第1および第2入力信号を共通に与え、第1および第2出力手段の各電界効果トランジスタのドレインを互いに接続し、接続点の電位を出力する。したがって、第1および第2入力信号の電圧レベルが接地電位から電源電位までの間の範囲内のどのような電圧レベルとなっても、電源電位から出力端子までと出力端子から接地電位までとの電源電位から接地電位まで電流が流れる経路が少なくとも1つ存在することとなり、第1および第2入力信号が前記範囲内の電圧レベルであれば動作可能な駆動回路とすることができる。

【0060】また本発明の前記第1能動負荷は、各ゲートが共通に接続され、各ソースには前記電源電位が与えられるPチャネル型の第9および第10の電界効果トランジスタを含んで構成され、第9電界効果トランジスタのドレインは前記第1電界効果トランジスタのドレインに接続され、第10電界効果トランジスタのドレインは前記第2電界効果トランジスタのドレインと前記共通に接続された各ゲートとに接続され、前記第1電流量制御手段は、前記第10電界効果トランジスタのゲートとドレインとにゲートが接続されることによってカレントミラー回路を構成し、ソースに前記電源電位が与えられるPチャネル型の第11の電界効果トランジスタと、前記第4電界効果トランジスタのゲートが、ゲートとドレインとに接続されることによってカレントミラー回路を構成し、前記第11電界効果トランジスタのドレインがドレインに接続され、ソースには前記接地電位が与えられているNチャネル型の第12の電界効果トランジスタとを含んで構成され、前記第2能動負荷は、各ゲートが共通に接続され、各ソースには前記接地電位が与えられるNチャネル型の第13および第14の電界効果トランジスタを含んで構成され、第13電界効果トランジスタのドレインは前記第5電界効果トランジスタのドレインに接続され、第14電界効果トランジスタのドレインは前記第6電界効果トランジスタのドレインと前記共通に接続された各ゲートとに接続され、前記第2電流量制御手段は、前記第14電界効果トランジスタのゲートとドレインとにゲートが接続されることによってカレントミラー回路を構成し、ソースに前記接地電位が与えられるN

チャネル型の第15の電界効果トランジスタと、前記第8電界効果トランジスタのゲートが、ゲートとドレインとに接続されることによってカレントミラー回路を構成し、前記第15電界効果トランジスタのドレインが、ドレインとゲートとに接続され、ソースには前記電源電位が与えられるPチャネル型の第16の電界効果トランジスタとを含んで構成されることを特徴とする。

本発明に従えば、第1差動増幅手段では、第9および第10電界効果トランジスタがカレントミラー回路であるので第1および第2電界効果トランジスタには等しい電流が流れ、第10および第11電界効果トランジスタがカレントミラー回路を構成しているため、第11電界効果トランジスタから第12電界効果トランジスタへは第2電界効果トランジスタに流れる電流と同一の電流が流れ、さらに第12電界効果トランジスタと第4電界効果トランジスタとがカレントミラー回路となっているので、第4電界効果トランジスタは第10電界効果トランジスタから第2電界効果トランジスタへと供給される電流がゲートに与えられて駆動される。また、第2差動増幅手段では、第13および第14電界効果トランジスタがカレントミラー回路であるため第5および第6電界効果トランジスタには等しい電流が流れ、第14および第15電界効果トランジスタがカレントミラー回路を構成しているため、第15電界効果トランジスタから第16電界効果トランジスタへは第6電界効果トランジスタに流れる電流と同一の電流が流れ、さらに第16電界効果トランジスタと第8電界効果トランジスタとがカレントミラー回路となっているため、第8電界効果トランジスタは第14電界効果トランジスタから第6電界効果トランジスタへと供給される電流がゲートに与えられて駆動される。したがって、第1出力手段を流れる電流は、第3電界効果トランジスタのみでなく第4電界効果トランジスタによっても制御されることとなり、また第2出力手段を流れる電流は第7電界効果トランジスタのみでなく第8電界効果トランジスタによっても制御されることとなり、第1および第2入力信号の電圧レベルがほぼ等しい平衡状態であるときには第1および第2出力手段を流れる電流をそれぞれ低減することができる。また、第1および第2入力信号の差が大きいときには第4および第8電界効果トランジスタに流れる電流量が多くなり、駆動回路に接続される負荷に対する駆動能力を向上させることができる。

【0061】また本発明の前記第1能動負荷は、第9および第10電界効果トランジスタに対してそれぞれ並列に設けられ、各ゲートに予め定める電位が与えられて導通状態となっているPチャネル型の第17および第18の電界効果トランジスタを含み、前記第2能動負荷は、第13および第14電界効果トランジスタに対してそれぞれ並列に設けられ、各ゲートに予め定める電位が与えられて導通状態となっているNチャネル型の第19およ

21

び第20の電界効果トランジスタを含むことを特徴とする。本発明に従えば、第1能動負荷の第17および第18電界効果トランジスタは、予め定める電位がゲートに与えられており、第9および第10電界効果トランジスタとともに所定の電流を第1および第2電界効果トランジスタに供給する。第1出力手段の第4電界効果トランジスタを流れる電流量は、第10および第18電界効果トランジスタから第2電界効果トランジスタに供給される電流量によって制御される。第2能動負荷の第19および第20電界効果トランジスタは、予め定める電位がゲートに与えられており、第13および第14電界効果トランジスタとともに所定の電流を第5および第6電界効果トランジスタに供給する。第2出力手段の第8電界効果トランジスタを流れる電流量は、第14および第20電界効果トランジスタから第6電界効果トランジスタに供給される電流量によって制御される。したがって、第17および第18ならびに第19および第20電界効果トランジスタのゲートに印加する電位を制御することによって、第4および第8電界効果トランジスタのゲートに与えられる電流量が制御され、第1および第2出力手段を流れる電流量を制御することができる。

【0062】また本発明は、前記接続点の電位を、前記第2入力信号として第2および第6電界効果トランジスタのゲートに与えてボルテージフォロア回路とすること

を特徴とする。本発明に従えば、駆動回路の出力をそれぞれ第2および第6電界効果トランジスタのゲートに与えてボルテージフォロア回路とする。したがって、第1駆動回路の第1および第2電界効果トランジスタに与えられる信号の電圧レベルが同電位となり、かつ第2駆動回路の第5および第6電界効果トランジスタに与えられる信号の電圧レベルが同電位となり、第1および第2入力信号が急激に変化することがない限り、各駆動回路は平衡状態で動作することとなり、出力手段を流れる電流、すなわち駆動回路で消費される電流を低減することができる。

【0063】また本発明は、ゲートに第1の入力信号が供給される一方チャンネル型の第1の電界効果トランジスタと、ゲートに第2の入力信号が供給される一方チャンネル型の第2の電界効果トランジスタと、ゲートに第3の入力信号が供給される一方チャンネル型の第3の電界効果トランジスタとを含み、各ソースには予め定める第1の電位がそれぞれ与えられ、各ドレインと予め定める第2の電位との間には各トランジスタに電流を供給する能動負荷が存在され、前記第1電界効果トランジスタと能動負荷との間には第1のスイッチング素子が介挿され、前記第3電界効果トランジスタと能動負荷との間には第2のスイッチング素子が介挿され、第1および第2スイッチング素子のいずれか一方を導通することによって、第1および第2トランジスタで差動対を構成するか、第2および第3トランジスタで差動対を構成するかを切換え

22

る差動増幅手段と、前記第1および第3電界効果トランジスタのうちのいずれか一方のドレインの電位がゲートに与えられ、第2電位がソースに与えられる他方チャンネル型の第4の電界効果トランジスタと、ソースに第1電位が与えられ、ドレインが前記第4電界効果トランジスタのドレインに接続される一方チャンネル型の第5の電界効果トランジスタとを含み、共通に接続されたドレインの電位を出力する出力手段と、前記能動負荷が前記第2電界効果トランジスタに供給する電流量に基づいて、前記出力手段の第5電界効果トランジスタを駆動する電流量制御手段とを含むことを特徴とする駆動回路である。本発明に従えば、駆動回路の差動増幅手段は、第1および第2スイッチング手段の導通/遮断が制御されることによって、差動対を構成する電界効果トランジスタの組合わせが変更される。第1および第2電界効果トランジスタに供給される第1および第2入力信号によって出力手段の第4電界効果トランジスタが駆動されるか、第2および第3電界効果トランジスタに供給される第2および第3入力信号によって第4電界効果トランジスタが駆動される。出力手段には第4電界効果トランジスタのドレインがドレインに接続され、ソースに第1電位が供給され、電流量制御手段によって駆動される第5電界効果トランジスタが含まれており、第4電界効果トランジスタのドレインと第1の電位との間に流れる電流を制御している。したがって、第1および第2スイッチング素子の導通/遮断を制御することで第1および第3の入力信号をそれぞれ切換えて差動増幅動作を行うことができる。

【0064】また本発明の前記能動負荷は、各ゲートが共通に接続され、各ソースには前記第2電位が与えられる他方チャンネル型の第6および第7の電界効果トランジスタを含んで構成され、第6電界効果トランジスタのドレインは前記第1および第2スイッチング素子に共通に接続され、第7電界効果トランジスタのドレインは前記第2電界効果トランジスタのドレインと前記共通に接続された各ゲートとに接続され、前記電流量制御手段は、前記第7電界効果トランジスタのゲートとドレインとにゲートが接続されることによってカレントミラー回路を構成し、ソースに前記第2電位が与えられる他方チャンネル型の第8の電界効果トランジスタと、前記第5電界効果トランジスタのゲートが、ゲートとドレインとに接続されることによってカレントミラー回路を構成し、前記第8電界効果トランジスタのドレインがドレインに接続され、ソースには前記第1電位が与えられる一方チャンネル型の第9の電界効果トランジスタとを含んで構成されることを特徴とする。本発明に従えば、第6および第7電界効果トランジスタがカレントミラー回路であるので第1および第2もしくは第2および第3電界効果トランジスタに等しい電流が流れ、第7および第8電界効果トランジスタがカレントミラー回路を構成しているので第

8電界効果トランジスタから第9電界効果トランジスタへは第2電界効果トランジスタに流れる電流と同様の電流が流れ、さらに第9および第5電界効果トランジスタがカレントミラー回路となっているので、第5電界効果トランジスタは第2電界効果トランジスタへ供給される電流がゲートに与えられて駆動される。したがって、出力手段を流れる電流を第4電界効果トランジスタのみでなく第5電界効果トランジスタによっても制御することができ、平衡状態における出力手段を流れる電流を低減することができる。また、第1または第3入力信号と第2入力信号との差が大きいときには、第5電界効果トランジスタに流れる電流量が多くなり、駆動回路に接続される負荷に対する駆動能力を向上させることができる。

【0065】また本発明の前記駆動負荷は、第6および第7電界効果トランジスタに対してそれぞれ並列に設けられ、各ゲートに予め定める電位が与えられて導通状態となっている他方チャネル型の第10および第11の電界効果トランジスタを含むことを特徴とする。

本発明に従えば、駆動負荷の第10および第11電界効果トランジスタは、予め定める電位がゲートに与えられており、第6および第7電界効果トランジスタとともに所定の電流を第1または第3電界効果トランジスタと第2電界効果トランジスタとに供給する。出力手段の第5電界効果トランジスタを流れる電流量は、第7電界効果トランジスタと第11電界効果トランジスタとから第2電界効果トランジスタに供給される電流量によって制御される。したがって、平衡状態では第10および第11電界効果トランジスタのゲートに印加する電位を制御することによって、第5電界効果トランジスタのゲートに与えられる電流量が制御され、出力手段を流れる電流量を低減させることができる。また、第1または第3入力信号と第2入力信号との差が大きいときには、第5電界効果トランジスタに流れる電流量が多くなり、駆動回路に接続される負荷に対する駆動能力を向上させることができる。

【0066】また本発明は、前記出力手段の出力を、前記第2入力信号として第2電界効果トランジスタのゲートに与えてボルテージフォロア回路とすることを特徴とする。本発明に従えば、出力手段の出力を第2入力信号として第2電界効果トランジスタのゲートに与えてボルテージフォロア回路とする。したがって、第2および第1または第3電界効果トランジスタに与えられる信号の電圧レベルが同電位となり、第1または第3ならびに第2電界効果トランジスタに与えられる第1または第3入力信号ならびに第2入力信号が急激に変化することがない限り駆動回路は平衡状態で動作することとなり、出力手段を流れる電流、すなわち駆動回路で消費される電流を低減することができる。

【0067】また本発明は、第1の駆動回路と第2の駆動回路とを備える駆動回路であって、第1の駆動回路

は、ゲートに第1の入力信号が供給されるNチャネル型の第1の電界効果トランジスタと、ゲートに第2の入力信号が供給されるNチャネル型の第2の電界効果トランジスタと、ゲートに第3の入力信号が供給されるNチャネル型の第3の電界効果トランジスタとを含み、各ソースには予め定める接地電位がそれぞれ与えられ、各ドレインと予め定める電源電位との間には各トランジスタに電流を供給する第1駆動負荷が介在され、前記第1電界効果トランジスタと第1駆動負荷との間には第1のスイッチング素子が介挿され、前記第3電界効果トランジスタと第1駆動負荷との間には第2のスイッチング素子が介挿され、第1および第2スイッチング素子のいずれか一方を導通することによって、第1および第2トランジスタで差動対を構成するか、第2および第3トランジスタで差動対を構成するかを切換える第1差動増幅手段と、前記第1および第3電界効果トランジスタのうちのいずれか一方のドレインの電位がゲートに与えられ、前記電源電位がソースに与えられるPチャネル型の第4の電界効果トランジスタと、ソースに前記接地電位が与えられ、ドレインが前記第4電界効果トランジスタのドレインに接続されるNチャネル型の第5の電界効果トランジスタとを含む第1出力手段と、前記第1駆動負荷が前記第2電界効果トランジスタに供給する電流量に基づいて、前記第1出力手段の第5電界効果トランジスタを駆動する第1電流量制御手段とを含み、第2の駆動回路は、ゲートに前記第1入力信号が供給されるPチャネル型の第6の電界効果トランジスタと、ゲートに前記第2入力信号が供給されるPチャネル型の第7の電界効果トランジスタと、ゲートに前記第3入力信号が供給されるPチャネル型の第8の電界効果トランジスタとを含み、各ソースには前記電源電位がそれぞれ与えられ、各ドレインと前記接地電位との間には各トランジスタに電流を供給する第2駆動負荷が介在され、前記第6電界効果トランジスタと第2駆動負荷との間には第3のスイッチング素子が介挿され、前記第8電界効果トランジスタと第2駆動負荷との間には第4のスイッチング素子が介挿され、第3および第4スイッチング素子のいずれか一方を導通することによって、第6および第7トランジスタで差動対を構成するか、第7および第8トランジスタで差動対を構成するかを切換える第2差動増幅手段と、前記第6および第8電界効果トランジスタのうちのいずれか一方のドレインの電位がゲートに与えられ、前記接地電位がソースに与えられるNチャネル型の第9の電界効果トランジスタと、ソースに前記電源電位が与えられ、ドレインが前記第9電界効果トランジスタのドレインに接続されるPチャネル型の第10の電界効果トランジスタとを含む第2出力手段と、前記第2駆動負荷が前記第7電界効果トランジスタに供給する電流量に基づいて、前記第2出力手段の第10電界効果トランジスタを駆動する第2電流量制御手段とを含み、前記第1および第2出

25

力手段の各電界効果トランジスタのドレインを互いに接続し、接続点の電位を出力することを特徴とする駆動回路である。

本発明に従えば、第1駆動回路と第2駆動回路とに第1、第2および第3入力信号を共通に与え、第1および第2出力手段の各電界効果トランジスタのドレインを互いに接続し、接続点の電位を出力する。したがって、第2入力信号と、第1および第3入力信号のうちの対応するスイッチング素子が導通している信号との電圧レベルが接地電位から電源電位までの間の範囲内のどの様な電圧レベルとなっても、電源電位から出力端子までと出力端子から接地電位までとの電源電位から接地電位まで電流が流れる経路が少なくとも1つ存在することとなり、第1、第2および第3入力信号が前記範囲内の電圧レベルであれば動作可能な駆動回路とすることができる。

【0068】また本発明の前記第1能動負荷は、各ゲートが共通に接続され、各ソースには前記電源電位が与えられるPチャネル型の第11および第12の電界効果トランジスタを含んで構成され、第11電界効果トランジスタのドレインは前記第1および第2スイッチング素子に共通に接続され、第12電界効果トランジスタのドレインは前記第2電界効果トランジスタのドレインと前記共通に接続された各ゲートとに接続され、前記第1電流量制御手段は、前記第12電界効果トランジスタのゲートとドレインとにゲートが接続されることによってカレントミラー回路を構成し、ソースに前記電源電位が与えられるPチャネル型の第13の電界効果トランジスタと、前記第5電界効果トランジスタのゲートが、ゲートとドレインとに接続されることによってカレントミラー回路を構成し、前記第13電界効果トランジスタのドレインがドレインに接続され、ソースには前記接地電位が与えられるNチャネル型の第14の電界効果トランジスタとを含んで構成され、前記第2能動負荷は、各ゲートが共通に接続され、各ソースには前記接地電位が与えられるNチャネル型の第15および第16の電界効果トランジスタを含んで構成され、第15電界効果トランジスタのドレインは前記第3および第4スイッチング素子に共通に接続され、第16電界効果トランジスタのドレインは前記第7電界効果トランジスタのドレインに接続され、前記第2電流量制御手段は、前記第16電界効果トランジスタのゲートとドレインとにゲートが接続されることによってカレントミラー回路を構成し、ソースに前記接地電位が与えられるNチャネル型の第17の電界効果トランジスタと、前記第10電界効果トランジスタのゲートが、ゲートとドレインとに接続されることによってカレントミラー回路を構成し、前記第17電界効果トランジスタのドレインがドレインに接続され、ソースには前記電源電位が与えられるPチャネル型の第18の電界効果トランジスタとを含んで構成されることを特徴とする。

26

本発明に従えば、第1差動増幅手段では、第11および第12電界効果トランジスタがカレントミラー回路であるので第1または第3および第2電界効果トランジスタには等しい電流が流れ、第12および第13電界効果トランジスタがカレントミラー回路を構成しているので、第13電界効果トランジスタから第14電界効果トランジスタへは第2電界効果トランジスタに流れる電流と同一の電流が流れ、さらに第14電界効果トランジスタと第5電界効果トランジスタとがカレントミラー回路となっているので、第5電界効果トランジスタは第12電界効果トランジスタから第2電界効果トランジスタへと供給される電流がゲートに与えられて駆動される。また、第2差動増幅手段では、第15および第16電界効果トランジスタがカレントミラー回路であるので第6および第7または第8および第7電界効果トランジスタには等しい電流が流れ、第16および第17電界効果トランジスタがカレントミラー回路を構成しているので、第17電界効果トランジスタから第18電界効果トランジスタへは第7電界効果トランジスタに流れる電流と同一の電流が流れ、さらに第18電界効果トランジスタと第10電界効果トランジスタとがカレントミラー回路となっているので、第10電界効果トランジスタは第16電界効果トランジスタから第7電界効果トランジスタへと供給される電流がゲートに与えられて駆動される。したがって、第1出力手段を流れる電流は、第4電界効果トランジスタのみでなく第5電界効果トランジスタによっても制御されることとなり、また第2出力手段を流れる電流は第9電界効果トランジスタのみでなく第10電界効果トランジスタによっても制御されることとなり、第2入力信号と第1および第3入力信号のうちの対応するスイッチング素子が導通している信号との電圧レベルがほぼ等しい平衡状態であるときには、第1および第2出力手段を流れる電流をそれぞれ低減することができる。また、第2入力信号と第1および第3入力信号のうちの対応するスイッチング素子が導通している信号との差が大きいときには第5および第10電界効果トランジスタに流れる電流量が多くなり、駆動回路に接続される負荷に対する駆動能力を向上させることができる。

【0069】また本発明の前記第1能動負荷は、第11および第12電界効果トランジスタに対してそれぞれ並列に設けられ、各ゲートに予め定める電位が与えられて導通状態となっているPチャネル型の第19および第20の電界効果トランジスタを含み、前記第2能動負荷は、第15および第16電界効果トランジスタに対してそれぞれ並列に設けられ、各ゲートに予め定める電位が与えられて導通状態となっているNチャネル型の第21および第22の電界効果トランジスタを含むことを特徴とする。

本発明に従えば、第1能動負荷の第19および第20電界効果トランジスタは、予め定める電位がゲートに与え

られており、第11および第12電界効果トランジスタとともに所定の電流を第1および第2または第3および第2電界効果トランジスタに供給する。第1出力手段の第5電界効果トランジスタを流れる電流量は、第12および第20電界効果トランジスタから第2電界効果トランジスタに供給される電流量によって制御される。第2能動負荷の第21および第22電界効果トランジスタは、予め定める電位がゲートに与えられており、第15および第16電界効果トランジスタとともに所定の電流を第6および第7または第8および第7電界効果トランジスタに供給する。第2出力手段の第10電界効果トランジスタを流れる電流量は、第16および第22電界効果トランジスタから第7電界効果トランジスタに供給される電流量によって制御される。したがって、第19および第20ならびに第21および第22電界効果トランジスタのゲートに印加する電位を制御することによって、第9および第10電界効果トランジスタのゲートに与えられる電流量が制御され、第1および第2出力手段を流れる電流量を低減させることができる。

【0070】また本発明は、前記接続点の電位を、前記第2入力信号として第2および第7電界効果トランジスタの各ゲートに与えてボルテージフォロア回路とすることを特徴とする。

本発明に従えば、駆動回路の出力を第2および第7電界効果トランジスタの各ゲートにそれぞれ与えてボルテージフォロア回路とする。したがって、第1駆動回路の第1および第2または第3および第2電界効果トランジスタに与えられる信号の電圧レベルが同電位となり、かつ第2駆動回路の第6および第7または第8および第7電界効果トランジスタに与えられる信号の電圧レベルが同電位となり、第1、第2および第3入力信号が急激に変化することがない限り各駆動回路は平衡状態で動作することとなり、出力手段を流れる電流、すなわち駆動回路で消費される電流を低減することができる。

【0071】

【発明の実施の形態】図1は、本発明の実施の第1の形態である駆動回路51の回路図である。駆動回路51は、差動増幅回路52と、レベル変換回路53と、出力バッファ54とを含んで構成される。

【0072】差動増幅回路52は、NチャネルMOSトランジスタN1のゲートには非反転入力端子57が接続され、NチャネルMOSトランジスタN2のゲートには反転入力端子56が接続される。PチャネルMOSトランジスタP1、P2は、トランジスタN1、N2の能動負荷となっている。トランジスタN1のドレインの電位は、出力バッファ54のトランジスタP4のゲートに与えられる。また、トランジスタN2のドレインの電位は、レベル変換回路53のトランジスタP3のゲートに与えられている。

【0073】定電流源であるNチャネルMOSトランジスタN3のゲートには第1バイアス入力端子58が接続され、予め定める第1バイアス電圧BV1が与えられており、所定のバイアス電流を差動対であるトランジスタN1、N2に与える。

【0074】電流量制御手段であるレベル変換回路53は、PチャネルMOSトランジスタP3と、ゲートとドレインとが接続されたNチャネルMOSトランジスタN4とを含んで構成される。トランジスタP3のゲートには、前述のようにトランジスタN2のドレインの電位が与えられる。トランジスタP3のドレインと、トランジスタN4のゲート・ドレインとは互いに接続される。

【0075】出力手段である出力バッファ54は、PチャネルMOSトランジスタP4およびNチャネルMOSトランジスタN5を含んで構成される。トランジスタP4のゲートには、トランジスタN1のドレインの電位が与えられる。また、トランジスタN5のゲートには、トランジスタN4のゲート・ドレインの電位が与えられる。トランジスタP4、N5の各ドレインは互いに接続され、接続点の電位が出力端子59から出力信号OUTとして取り出される。

【0076】次に、駆動回路51の動作について説明する。差動増幅回路52では、非反転入力電圧VIAと反転入力電圧VIBの電圧差を増幅した出力が得られる。反転入力電圧VIBの電圧に対して、非反転入力電圧VIAの電圧が高くなると、差動増幅回路52の反転側の出力であるトランジスタN2のドレイン電圧は上昇し、トランジスタN1のドレイン電圧は下降する。逆に非反転入力電圧VIAの電圧が低くなると、トランジスタN2のドレイン電圧は下降し、トランジスタN1のドレイン電圧は上昇する。差動増幅回路52のトランジスタN2のドレイン電圧は、レベル変換回路53のトランジスタP3で反転され、出力バッファ54のトランジスタN5のゲートに与えられる。

【0077】差動増幅回路52のトランジスタP1のドレイン電圧は、出力バッファ54のトランジスタP4のゲートに与えられる。そのため、非反転入力電圧VIAの電圧が高くなると、トランジスタP4のソース・ドレイン間の抵抗値が低くなる一方、トランジスタN5のソース・ドレイン間の抵抗値は高くなる。逆に、非反転入力電圧VIAの電圧が低くなると、トランジスタP4のソース・ドレイン間の抵抗値が高くなる一方、トランジスタN5のソース・ドレイン間の抵抗値は低くなる。上述のようにして、反転入力電圧・非反転入力電圧の電圧差に対応した出力電圧が得られ、出力電流制御を実現している。

【0078】差動対であるトランジスタN1、N2と、定電流源であるトランジスタN3との接続点VSに、トランジスタN1から流れる電流をI1とし、トランジスタN2から流れる電流をI2とする。また、接続点VS

29

からトランジスタN3へと流れる電流をI3とする。また、トランジスタN1とトランジスタP1との接続点V1にトランジスタP1から流れる電流をI1aとする。トランジスタN2とトランジスタP2との接続点V2にトランジスタP2から流れる電流をI2aとする。レベル変換回路53のトランジスタN4に供給される電流を*

$$I1 = I1a = I2a = I2$$

$$I3/2 = I1 = I2$$

となる。さらに、トランジスタP2、P3がカレントミ

$$I4 = I2 = I3/2$$

となり、出力バッファ54のトランジスタN5に流れる電流は、トランジスタN4に与えられる電流I3/2で制御されることとなる。

【0080】平衡状態が崩れ、非反転入力電圧VIAと反転入力電圧VIBとに電圧差が生じると、その差が接続点VSの電位に影響を与え、電流I1とI2とのバランスが崩れる。電流I1の変化は接続点V1の電位を変化させ、電流I2と接続点V1の電位との変化によって接続点V2の電位が定まる。逆に、電流I2の変化は接続点V2の電位を変化させ、電流I1と接続点V2の電位との変化によって接続点V1の電位が定まることとな*

$$I2 = I3$$

そのため、トランジスタP2とトランジスタP3とはレントミラー回路を構成するので、電流I4として流れる★

$$I4 = I2 = I3$$

となる。また、トランジスタN4とトランジスタN5とがカレントミラー回路を構成するので、トランジスタN5に流れる電流は電流I3で制御されることとなる。したがって、トランジスタN5には平衡状態に対して最大2倍の電流を流すことができる。

【0084】以下に、駆動回路51における低消費電流化について説明を行う。差動増幅回路52に流れる電流☆

$$I5 = 30\mu A / 2 = 15\mu A$$

をバイアス電流として与えればよい。

【0086】差動増幅回路52に流れる電流は、I3=◆

$$I1a = I2a = I3/2 = 1$$

となる。

【0087】ここで、トランジスタP2の大きさ(W/L (トランジスタのゲートの幅) / (トランジスタのゲートの長さ)) : トランジスタP3の大きさ = 1 : 2と*40

$$I4 = I2a \times 2 = 2 \cdot 5\mu A$$

となる。

【0088】さらに、トランジスタN4の大きさ : トランジスタN5の大きさ = 1 : 6となるように各トランジスタ※

$$I5 = I4 \times 6 = 2 \cdot 5\mu A \times 6 = 15\mu A$$

となり、所望のバイアス電流として必要な電流を流すことができる。駆動回路51における全体の消費電流I★

$$I = I3 + I4 + I5 = 20\mu A$$

となる。

【0089】前述の従来技術である駆動回路1におい

30

*I4とし、出力バッファ54のトランジスタN5に供給される電流をI5とする。

【0079】非反転入力電圧VIAと反転入力電圧VIBとがほぼ等しい平衡状態である場合、トランジスタN1とN2とに流れる電流は、トランジスタP1、P2がカレントミラー回路を構成していることによって、

$$\dots (1)$$

$$\dots (2)$$

ラー回路を構成していることによって、

$$\dots (3)$$

※る。

【0081】駆動回路51において、各トランジスタはすべて飽和領域で動作しているので、ゲートに与えられる電流の微小な変化が、トランジスタP2のソース・ドレイン間電圧、あるいはトランジスタP1のソース・ドレイン間電圧の大幅な変化として取り出される。

【0082】反転入力電圧VIBが非反転入力電圧VIAの電圧より高くなった場合(接続点V1の電位>接続点V2の電位)、電流I2の電流量は増大し、電流I3として流れる電流と等しくなる。

【0083】

$$\dots (4)$$

★電流は、

$$\dots (5)$$

☆I3を2・5μA、トランジスタN5に流すことができる最大の電流を30μAとする。

【0085】上述したように駆動回路51において、トランジスタN5に流すことができる最大の電流は、平衡時にトランジスタN5に流れる電流の2倍であるので、平衡状態であるときにはトランジスタN5には、

$$\dots (6)$$

◆2・5μAとして与えられているので、平衡時にトランジスタP1、P2からそれぞれ供給される電流は、

$$2 \cdot 5\mu A \dots (7)$$

*なるように各トランジスタP2、P3の大きさを設定すると、各トランジスタP2、P3の比によって駆動回路51における電流I4は、式(7)に基づいて、

$$\dots (8)$$

※トランジスタN4、N5の大きさを設定すると、各トランジスタN4、N5の比によって電流I5は、式(8)に基づいて、

$$\dots (9)$$

★は、

$$\dots (10)$$

て、差動増幅回路2のトランジスタTn3に流れる電流Ij1を2・5μA、出力バッファ3のトランジスタT

n 4に流すことができる最大の電流 I_{j2} を $30\mu A$ とすると、駆動回路1における全体の消費電流は $32.5\mu A$ となる。前述の第1の先行技術における駆動回路1よりも平衡状態における消費電流を低減することができる。

【0090】図2は上述のように構成される駆動回路51が用いられるTFT（薄膜トランジスタ）型の液晶表示装置60の構成を示すブロック図であり、図3は液晶表示装置60におけるソースドライバ61の構成を示すブロック図である。

【0091】液晶表示装置60は、ソースドライバ61と、ゲートドライバ62と、液晶表示パネル63と、駆動電源回路64と、表示制御回路65とを含んで構成される。

【0092】液晶表示パネル63には、ソース電極 $s_1 \sim s_n$ （総称するときは参照符 s を用いる）と、ゲート電極 $g_1 \sim g_m$ （総称するときは参照符 g を用いる）とがそれぞれ直交するように設けられる。各電極が直交する地点の近傍には、それぞれ薄膜トランジスタ H_{ij} （ i は1以上 n 以下、 j は1以上 m 以下）が設けられており、同一水平ライン上の薄膜トランジスタ H_{ij} のゲートは同一のゲート電極 g に接続され、ゲートドライバ62によって順次走査される。また、同一垂直ライン上の薄膜トランジスタ H_{ij} のソースは、同一のソース電極 s に接続され、ソースドライバ61によって表示する階調に応じた電圧が各薄膜トランジスタ H_{ij} に供給される。

【0093】薄膜トランジスタ H_{ij} のドレインは、絵素電極 K_{ij} に接続される。各絵素電極 K_{ij} は、液晶層を挟んで絵素電極 K_{ij} を覆うように形成される共通電極 L と対向し、絵素電極と共通電極とに挟まれた液晶層の領域で電圧が保持されて表示が行われる。なお、図2では共通電極 L を各絵素電極 K_{ij} に個別に対応させて示した。

【0094】表示制御回路65は、液晶表示パネル63に表示を行うための表示データやタイミングを規定するクロック信号などをソースドライバ61およびゲートドライバ62に供給する。駆動電源回路64は、液晶表示パネル63を駆動する電圧をソースドライバ61、ゲートドライバ62、および共通電極 L に供給する。

【0095】図3を参照して、ソースドライバ61の詳細な説明を行う。ソースドライバ61は、双方向シフトレジスタ66と中耐圧回路67とを含んで構成される。中耐圧回路67は、たとえば $14 \sim 20V$ の電圧で動作することができるように構成される。中耐圧回路67は、レベルシフタ68と、アナログスイッチ $AS_1 \sim AS_n$ （総称するときは参照符 AS を用いる）と、アナログスイッチ $AW_1 \sim AW_n$ （総称するときは参照符 AW を用いる）と、サンプリングコンデンサ $CS_1 \sim CS_n$ （総称するときは参照符 CS を用いる）と、ホールドコ

ンデンサ $CH_1 \sim CH_n$ （総称するときは参照符 CH を用いる）と、オペアンプ $OP_1 \sim OP_n$ （総称するときは参照符 OP を用いる）とを含んで構成される。

【0096】双方向シフトレジスタ66には、表示制御回路65からスタートパルス、シフトクロック、および制御信号が供給される。双方向シフトレジスタ66では、入力されたスタートパルスをシフトクロックに基づいて順次シフトして出力する。双方向シフトレジスタ66は、たとえば $5V$ の電源で動作する。レベルシフタ68は、双方向シフトレジスタ66の出力信号レベルを変換して $14 \sim 20V$ の電圧にして出力する。

【0097】アナログスイッチ AS は、レベルシフタ68の出力によってアナログスイッチ AS の開閉が制御される。前記表示制御回路65から供給されるビデオ信号は、アナログスイッチ AS が開かれるまでアナログスイッチ AS を介してサンプリングコンデンサ CS に入力され、アナログスイッチ AS が開かれた後はサンプリングコンデンサ CS で保持される。

【0098】サンプリングコンデンサ CS の出力は、アナログスイッチ AW を介してホールドコンデンサ CH に与えられる。アナログスイッチ AW は、出力エネーブル信号によって導通/遮断が制御され、アナログスイッチ AW が導通している間はサンプリングコンデンサ CS の出力がホールドコンデンサ CH に入力され、アナログスイッチ AW が遮断するとその時点での電圧が保持される。

【0099】オペアンプ OP は、前述の図1に回路図を示す駆動回路51であり、ホールドコンデンサ CH に保持された電圧が非反転入力端子57に入力される。出力端子59は各ソース電極 s に接続され、かつ駆動回路51の反転入力端子56に接続される。出力が反転入力端子56に入力されていることによって、駆動回路51はボルテージフォロアとして動作する。

【0100】なお、駆動回路51として、 N チャネルトランジスタを差動対とした場合について説明したが、差動対が P チャネルトランジスタである差動増幅回路であっても同様に出力トランジスタの駆動能力を上げることが可能であることは言うまでもない。

【0101】図4は、本発明の実施の第1の形態の他の構成例である駆動回路68の回路図である。駆動回路68は、差動対が P チャネルトランジスタで構成された駆動回路である。駆動回路68は、差動増幅回路69と、レベル変換回路70と、出力バッファ71とを含んで構成される。駆動回路68は、前記駆動回路51の各トランジスタ $N_1 \sim N_5$ 、 $P_1 \sim P_4$ を、この順番でトランジスタ $P_{11} \sim P_{15}$ 、 $N_{11} \sim N_{14}$ にそれぞれ置換えた構成となっている。

【0102】駆動回路68の差動増幅回路69における電流源であるトランジスタ P_{13} のゲートには、第2バイアス入力端子72を介して第2バイアス電圧 BV_2 が

与えられる。

【0103】駆動回路68は、動作としては駆動回路51と同様のため詳細な説明は省略するが、駆動回路68ではトランジスタP15の駆動能力を差動増幅回路69の出力に基づいて定めているので、平衡状態でないときの駆動回路68からの出力電流を低減させることなく、平衡状態における出力バッファ71に流れる貫通電流を低減することができる。

【0104】以上のように本発明の実施の第1の形態である駆動回路51、68では、トランジスタN5に流れる電流I5は、トランジスタN2に与えられる電流I2aによって制御されるので、出力バッファ54、71に流れる貫通電流を低減することができる。

【0105】図5は、本発明の実施の第2の形態である駆動回路76の回路図である。駆動回路76において、前記駆動回路51と同一の構成要素には同一の参照符を付して説明を省略する。駆動回路76は、差動増幅回路77と、レベル変換回路53と、出力バッファ54とを含んで構成される。駆動回路76の動作は、駆動回路51の動作と類似しており、駆動回路76の特徴となる点について説明を行う。

【0106】駆動回路76の特徴は、差動増幅回路77のPチャネルMOSトランジスタP1、P2にPチャネルMOSトランジスタP5、P6が並列にそれぞれ付加されていることである。差動増幅回路77では、トラン*

$$I1 = I1a + I1b = I2a + I2b = I2 \quad \dots (11)$$

$$I3/2 = I1 = I2 \quad \dots (12)$$

となり、式(11)、(12)から、

$$I2a = I3/2 - I2b \quad \dots (13)$$

が得られる。

【0109】平衡状態が崩れ、非反転入力電圧VIAと反転入力電圧VIBとに電圧差が生じると、その差が接続点VSの電位に影響を与え、電流I1とI2のバランスが崩れる。電流I1の変化は接続点V1の電位を変化させ、電流I2と接続点V1の電位との変化によって接続点V2の電位が定まる。逆に、電流I2の変化は接続点V2の電位を変化させ、電流I1と接続点V2の電位との変化によって接続点V1の電位が定まることとなる。

【0110】駆動回路76において、各トランジスタはすべて飽和領域で動作しているので、ゲートに与えられ*

$$I3 = I2 = I2a + I2b \quad \dots (14)$$

式(14)から、

$$I2a = I3 - I2b \quad \dots (15)$$

式(15)と、前述の平衡状態での式(13)とからそ

$$(I3 - I2b) / (I3/2 - I2b) \quad \dots (16)$$

を得る。式(16)は、差動増幅回路77が平衡状態にあるとき、接続点V1の電位>接続点V2の電位である飽和状態にあるときとの電流I2aの大きさの比を示している。

*ジスタP1、P2に加えてトランジスタP5、P6からも差動対であるトランジスタN1、N2に電流が供給される。トランジスタP5は、ソースとドレインとがトランジスタP1と共通に接続され、ゲートには第2バイアス入力端子78を介して第2バイアス電圧BV2が与えられる。トランジスタP6は、ソースとドレインとがトランジスタP2と共通に接続され、ゲートには前記第2バイアス電圧BV2が与えられる。したがって、第2バイアス電圧BV2の電圧レベルを制御することによって、差動対N1、N2に供給する電流の量を定めることができる。

【0107】トランジスタP5、P6から供給される電流をそれぞれ電流I1b、I2bとする。したがって、差動増幅回路77では、電流I1は電流I1a+I1bとなり、電流I2は電流I2a+I2bとなる。駆動回路76の動作については、前記駆動回路51の動作と、前述の電流I1、I2が異なること以外は同一であるので説明を省略する。

【0108】駆動回路76における各電流についての説明を行う。非反転入力電圧VIAと反転入力電圧VIBがほぼ等しい平衡状態である場合、トランジスタN1とN2に流れる電流は、PチャネルトランジスタP1、P5とP2、P6との組合わせで1つのカレントミラー回路を構成していることによって、

30 ※る電流の微小な変化が、トランジスタP2のソース・ドレイン間電圧、あるいはトランジスタP1のソース・ドレイン間電圧の大幅な変化として取り出される。

【0111】反転入力電圧VIBが非反転入力電圧VIAより高くなった場合(接続点V1の電位>接続点V2の電位)、電流I2の電流量は増大し、電流I1の電流量が減少する。電流I1が減少して、差動増幅回路77が飽和状態となると電流I1はほぼ0となる。前記飽和状態では、電流I3はトランジスタN2を流れる電流I2となる。

【0112】

$$\dots (14)$$

$$\dots (15)$$

の比を求めると

$$\dots (16)$$

【0113】一例として、I3:I2b=12:5となるように動作点を設計すると、式(16)における比は、

35

$$(12-5) / (12/2-5) = 7$$

となり、前述のように動作点を定めた場合には、電流 I_{2a} は平衡時と飽和状態にあるときとで最大で7倍に変化することが判る。

$$I_4 = I_{2a}$$

となる。さらに、トランジスタ N_4 とトランジスタ N_5 とによって構成されるカレントミラー回路によって、トランジスタ N_5 に流れる電流 I_5 は電流 I_4 で制御されているので、電流 I_5 は、電流 I_{2a} によって定められることとなる。

【0115】以下に、駆動回路76における低消費電流化について説明を行う。上述のように、駆動回路76で※

$$I_5 = 30 \mu A / 6 = 5 \mu A$$

をバイアス電流として与えればよい。

【0116】差動増幅回路77に流れる電流は、 $I_3 = 2.5 \mu A$ と与えられており、トランジスタ P_1 と P_5 ★

$$I_{1b} = I_{2b} = 1 \mu A$$

となり、トランジスタ P_1 と P_2 との電流は、

$$I_{1a} = I_{2a} = 0.25 \mu A$$

となる。ここで、トランジスタ P_2 の大きさ：トランジスタ P_3 の大きさ = 1 : 2 に設計すると、式(21)を☆

$$I_4 = I_{2a} \times 2 = 0.5 \mu A$$

となる。さらに、トランジスタ N_4 の大きさ：トランジスタ N_5 の大きさ = 1 : 10 と設計することで、式(2◆

$$I_5 = I_4 \times 10 = 0.5 \mu A \times 10 = 5 \mu A$$

となり、トランジスタ N_5 にバイアス電流として必要な電流を流すことができる。駆動回路76における全体の*

$$I = I_3 + I_4 + I_5 = 8 \mu A$$

となり、式(9)を参照すると、前述の駆動回路51に比べて平衡状態における消費電流を低減することができる。

【0117】なお、駆動回路76として、 N チャネルトランジスタを差動対とした場合について説明したが、差動対が P チャネルトランジスタである差動増幅回路であっても同様に出力トランジスタの駆動能力を上げることが可能であることは言うまでもない。

【0118】図6は、前述の第2の実施の形態の他の構成例である駆動回路81の回路図である。駆動回路81は、差動対が P チャネルトランジスタで構成された駆動回路である。駆動回路81において、前述の駆動回路68と同一の構成要素には同一の参照符を付して説明を省略する。駆動回路81は、差動増幅回路82と、レベル変換回路70と、出力バッファ71とを含んで構成される。駆動回路81は、前記駆動回路76の各トランジスタ $N_1 \sim N_5$ 、 $P_1 \sim P_6$ を、この順番でトランジスタ $P_{11} \sim P_{15}$ 、 $N_{11} \sim N_{16}$ にそれぞれ置換えた構成である。

【0119】駆動回路81の差動増幅回路82における電流源であるトランジスタ P_{13} のゲートには、第2バイアス入力端子72を介して第2バイアス電圧 BV_2 が

36

$$\dots (17)$$

*【0114】一方、トランジスタ P_2 とトランジスタ P_3 とによって構成されるカレントミラー回路によって、

$$\dots (18)$$

※はトランジスタ N_5 に流すことができる最大の電流は、トランジスタ P_1 、 P_5 および P_2 、 P_6 の大きさの比で定めることができる。ここで、 P_1 の大きさ : P_5 の大きさ = P_2 の大きさ : P_6 の大きさ = 1 : 4 となるように設計すると、トランジスタ N_5 に流れる最大の電流は、平衡時のトランジスタ N_5 に流れる電流の6倍となるので、平衡時のトランジスタ N_5 には、

$$\dots (19)$$

★との比およびトランジスタ P_2 と P_6 との比をそれぞれ 1 : 4 とすることから、平衡時にトランジスタ P_5 と P_6 とから供給される電流は、

$$\dots (20)$$

$$\dots (21)$$

20 ☆参照して電流 I_4 は、

$$\dots (22)$$

◆2) から、

$$\dots (23)$$

*消費電流 I は、

$$\dots (24)$$

与えられる。

【0120】駆動回路81は、動作としては駆動回路76と同様のため詳細な説明は省略するが、駆動回路81ではトランジスタ P_{15} の駆動能力を差動増幅回路82の出力に基づいて定めているので、出力バッファ71に流れる貫通電流が低減され、かつ駆動能力を向上させることができる。

【0121】上述のように、電流 I_{2a} を大きく変化させることができるような回路設計が可能となる。その結果、出力バッファ54を流れる貫通電流を低下させ、かつ駆動能力が向上した駆動回路を実現することができる。なお、電流 I_3 と I_{2b} との大きさの比をかえることで、電流 I_{2a} の変化の大きさを制御することが可能である。

【0122】図7は、本発明の実施の第3の形態である駆動回路91の回路図である。駆動回路91において前述の駆動回路51、68と同一の構成要素には同一の参照符を付して説明を省略する。駆動回路91は、前述の駆動回路51と前述の駆動回路68とを含んで構成される。各駆動回路51、68の出力が、それぞれ出力端子96に与えられ、トランジスタ P_4 、 N_{14} がプッシュプル動作を行うように構成されている。駆動回路91に

において、反転入力端子92はトランジスタN2、P12のゲートに反転入力電圧V1Bを与え、非反転入力端子93はトランジスタN1、P11のゲートに非反転入力電圧V1Aを与える。第1バイアス入力端子94は、トランジスタN3のゲートに第1バイアス電圧BV1を与え、第2バイアス入力端子95はトランジスタP13のゲートに第2バイアス電圧BV2を与える。

【0123】駆動回路91の動作としては、反転入力電圧V1Bが非反転入力電圧V1Aより高くなると、駆動回路51のトランジスタN1を流れる電流が増加し、負荷トランジスタP1のドレイン電位が下がり、出力トランジスタP4が導通され、出力端子96における電位を引上げる。同時に、駆動回路68のトランジスタP11を流れる電流が減少し、負荷トランジスタN11のドレイン電位が下がり、出力トランジスタN14を遮断する。したがって、出力端子96における電位は電源電圧VDD側に上昇する。

【0124】一方、反転入力電圧V1Bが非反転入力電圧V1Aより低くなると、駆動回路68のトランジスタP11を流れる電流が増加し、負荷トランジスタN11のドレイン電位が上昇し、出力トランジスタN14が導通され、出力端子96における電位を引下げる。同時に、駆動回路51のトランジスタN1を流れる電流が減少し、負荷トランジスタP1のドレイン電位が上昇して出力トランジスタP4を遮断する。したがって、出力端子96における電位は接地電圧GND側に下降する。上述のように、駆動回路91はトランジスタP4、N14によってプッシュプル駆動される。

【0125】図8は、駆動回路91の動作を説明するための図である。図8において、横軸は各端子92、93から入力される電圧を示す。まず、各入力電圧V1A、V1Bが接地電圧GNDからトランジスタN1、N2のしきい値電圧 $|V_{thN}|$ の間にある領域E1では、トランジスタN1、N2は遮断されている。このとき、トランジスタP4のゲートに与えられる点Cの電圧は電源電圧VDDまで上がり、トランジスタP4は遮断される。このとき、トランジスタP11、P12は通常の差動増幅動作を行っており、トランジスタN14のゲートに与えられる点Dの電圧は、十分に高く出力トランジスタN14は駆動されている。また、点Fの電圧も十分に低くなり、トランジスタP15を駆動する。したがって、入力電圧が領域E1の範囲内であるときは、トランジスタN14、P15によって出力電圧が定められる。

【0126】入力電圧V1A、V1Bが電圧 $|V_{thN}|$ から電圧VDD- $|V_{thP}|$ までの間にある領域E2の範囲内では、トランジスタN1、N2；P11、P12がいずれも導通し、トランジスタP4、N14によって出力電圧が定められる。しきい値電圧 V_{thP} は、トランジスタP11、P12のしきい値電圧である。

【0127】各入力電圧V1A、V1Bが電圧VDD-

$|V_{thP}|$ から電圧VDDの間にある領域E3では、トランジスタP11、P12は遮断されている。このとき、前記点Dの電圧は接地電圧GNDまで下がり、トランジスタN14は遮断する。このとき、トランジスタN1、N2は通常の差動増幅動作を行っており、点Cの電圧は十分に低く出力トランジスタP4は導通している。また、点Gも充分高い電位となりトランジスタN5を駆動する。したがって、入力電圧が領域E3の範囲内であるときには、トランジスタP4、N5によって出力電圧が定められる。

【0128】上述のように、入力電圧が電圧GND～VDDの全領域において、常に少なくとも1つの出力端子-GND間の電流経路と、少なくとも1つの出力端子-VDD間の電流経路が同時に存在することになり、入力電圧が電圧GND～VDDのいずれの電圧であっても動作する構成とすることができ、入力ダイナミックレンジの拡大を図ることができる。

【0129】以上のように本発明の実施の第3の形態によれば、前述の第1の実施の形態の効果である低消費電流化を実現しつつ、従来の駆動回路では動作しなかった入力電圧においても正常に出力端子に接続される負荷を駆動することができるエンハンスメント型の駆動回路を構成することができる。したがって、駆動回路の構成として特別にデュブリジョン型のトランジスタを用いて差動対を構成しなくても、広いダイナミックレンジを得ることができる。また、駆動回路を製造する際に、通常のロジック回路のIC製造プロセスで製造しても広い入力ダイナミックレンジを得ることができ、高性能・低コストなデジタル/アナログ混在ICを構成することができる。

【0130】図9は、本発明の実施の第4の形態である駆動回路101の回路図である。駆動回路101は、前述の駆動回路76と前述の駆動回路81とを含んで構成される。駆動回路101において、前述の駆動回路76、81、91と同一の構成要素には、同一の参照符を付し説明を省略する。駆動回路101では、各駆動回路76、81の出力が、それぞれ出力端子96に与えられ、トランジスタP4、N14がプッシュプル動作を行うように構成されている。駆動回路101は、前述した駆動回路91に対して、追加の能動負荷としてトランジスタP5、P6；N15、N16を設けた構成となっている。

【0131】駆動回路101の動作としては、前述の駆動回路91と類似するので、説明を省略する。

【0132】以下に駆動回路101における低消費電流化について説明を行う。なお、駆動回路101において、各トランジスタの大きさは前記駆動回路76、81と同一の設計例を用いることとする。したがって、トランジスタN3を流れる電流I13と、トランジスタP13を流れる電流I23とはそれぞれ2.5 μ Aとなり、

トランジスタN4を流れる電流I14と、トランジスタP14を流れる電流I24とはそれぞれ0.5μAとなる。トランジスタP15からトランジスタN5に流れる*

$$I = I13 + I23 + I14 + I24 + I15 = 11\mu A \quad \cdots (25)$$

となる。

【0133】上述のように本発明の実施の第4の形態によれば、前述の第2の実施の形態の効果である低消費電流化を実現しつつ、従来の駆動回路では動作しなかった入力電圧においても正常に出力端子に接続される負荷を駆動することができるエンハンスメント型の駆動回路を構成することができる。また、能動負荷として設けられるトランジスタP5、P6；N15、N16によって、外部から供給するバイアス電圧でバイアス電流を制御することができ、トランジスタP4、N14の駆動能力を制御することができる。

【0134】また、駆動回路の構成として特別にデュブリジョン型の入力トランジスタを用いなくても広いダイナミックレンジを得ることができ、駆動回路を製造する際に、通常のロジック回路のIC製造プロセスで製造しても広い入力ダイナミックレンジを得ることができ、高性能・低コストなデジタル/アナログ混在ICを構成することができる。

【0135】図10は、本発明の実施の第5の形態である駆動回路111の回路図である。駆動回路111において、駆動回路51と同一の構成要素には同一の参照符を付して説明を省略する。駆動回路111は、差動増幅回路112と、レベル変換回路53と、出力バッファ54とを含んで構成される。レベル変換回路53と出力バッファ54とは出力回路113を構成する。駆動回路111の特徴は、非反転入力電圧VIAが与えられる入力端子として2つの端子116、117が用意されていることである。

【0136】差動増幅回路112は、差動増幅回路52と類似した構成であり、同一の構成要素には同一の参照符を付して説明を省略する。差動増幅回路112では、差動対の1つであるトランジスタN1と並列にトランジスタN6が設けられている。トランジスタN1のゲートには、端子116を介して第1非反転入力電圧VIA1が与えられ、トランジスタN6のゲートには、端子117を介して第2非反転入力電圧VIA2が与えられる。

【0137】トランジスタN6のドレインと能動負荷であるトランジスタP1のドレインとの間には、NチャネルトランジスタN7が介挿され、トランジスタN1のドレインとトランジスタP1のドレインとの間にはNチャネルトランジスタN8が介挿される。第1スイッチング素子であるトランジスタN8のゲートには、入力端子118を介して第1切換信号が与えられ、第2スイッチング素子であるトランジスタN7のゲートには、入力端子119を介して第2切換信号が与えられる。第1および第2切換信号によって、トランジスタN7、N8のいず

*電流I15は、5μAとなるので、駆動回路101全体の消費電流Iは、

れか一方が導通する。トランジスタN8が導通した際にはトランジスタN1、N2によって差動対が構成され、トランジスタN7が導通した際にはトランジスタN6、N2によって差動対が構成される。

【0138】駆動回路111は、従来技術における駆動回路31と置換えて用いることができる。差動増幅回路112は差動増幅回路32に対応し、出力回路113は出力回路33に対応する。入力端子116には、コンデンサ35の一端が接続され、入力端子117にはコンデンサ34の一端が接続される。入力端子118には、第1切換信号として制御信号S3が与えられ、入力端子119には第2切換信号として制御信号S4が与えられる。駆動回路111は、前述の駆動回路31と同様に前記図24に示すタイミングで出力を行う。

【0139】図11は、前述の第5の実施の形態の他の構成例である駆動回路121の回路図である。駆動回路121において、前述の駆動回路68と同一の構成要素には同一の参照符を付して説明を省略する。駆動回路121は、差動増幅回路122とレベル変換回路70と出力バッファ71とを含んで構成されている。また、レベル変換回路70と出力バッファ71とは出力回路123を構成する。

【0140】差動増幅回路122は、前記差動増幅回路112と同様に非反転入力電圧VIAが入力される端子が2つ設けられている。前述の駆動回路51と駆動回路68との関係と同様に駆動回路111と駆動回路121とは、各トランジスタの導電型がP型とN型とで置換わり、かつ接地電位と電源電位とが置換わった構成となっている。差動増幅回路122におけるPチャネルトランジスタP16、P17、P18、P19は、それぞれこの順番で差動増幅回路112におけるトランジスタN6、N7、N8、N9に対応している。また、入力端子116、117、118、119は、この順番でそれぞれ入力端子126、127、128、129に対応している。

【0141】以上のように本発明の実施の第5の形態である駆動回路111、121では、前述の駆動回路51、68と同様に平衡状態における駆動回路内で消費される電流の量を低減することができるとともに、トランジスタN1、N6を交互に導通させることによって、たとえば前述のコンデンサ34、35などでサンプリングした電圧を減衰させることなく出力することができる。また、駆動回路111、121は出力端子59から出力される電圧をトランジスタN2またはP12のゲートに与えるボルテージフォロア回路となっているので、動作状態はほとんどの場合で平衡状態となっており、駆動回

41

路111、121の消費電流を効果的に低減することができる。

【0142】図12は、本発明の実施の第6の形態である駆動回路131の回路図である。駆動回路131において、前述の駆動回路51および駆動回路111と同一の構成要素には同一の参照符を付して説明を省略する。駆動回路131は、差動増幅回路132と、レベル変換回路53と、出力バッファ54とを含んで構成される。

【0143】駆動回路131の特徴は、差動増幅回路132に、差動増幅回路112と同様に非反転入力端子116、117が設けられていることと、差動増幅回路77と同様に電流量制御用の能動負荷としてトランジスタP5、P6がトランジスタP1、P2に並列に設けられていることである。能動負荷としてトランジスタP5、P6が設けられているので、トランジスタN7、N8の各ドレインにはトランジスタP1とP5とによって供給される電流が流れ込み、トランジスタN9のドレインにはトランジスタP2とP6とによって供給される電流が流れ込む。

【0144】トランジスタP5、P6の各ゲートには、第2バイアス入力端子133を介して予め定める一定の電圧が印加される。駆動回路131は、前記駆動回路111と同様に駆動回路31と置換えて用いることができる。

【0145】図13は、前述の第6の実施の形態の他の構成例である駆動回路141の回路図である。駆動回路141において、前述の駆動回路68および駆動回路121と同一の構成要素には同一の参照符を付して説明を省略する。駆動回路141は、差動増幅回路142と、レベル変換回路70と、出力バッファ71とを含んで構成される。駆動回路131と駆動回路141とは、前述の駆動回路51と駆動回路68との関係と同様に各トランジスタの導電型がP型とN型とで置換わり、かつ接地電位と電源電位とが置換わった構成となっている。

【0146】能動負荷としてトランジスタN15、N16がトランジスタN11、N12に並列に設けられているので、トランジスタP17、P18の各ドレインには、トランジスタN11、N15によって供給される電流が流れ込み、トランジスタP19のドレインにはトランジスタN12、N16によって供給される電流が流れ込む。トランジスタN15、N16のゲートには、第1バイアス入力端子143を介して予め定める一定の電圧が印加される。駆動回路141は、前記駆動回路121と同様に駆動回路31と置換えて用いることができる。

【0147】以上のように本発明の実施の第6の形態である駆動回路131、141では、前述の駆動回路76、81と同様に平衡状態における駆動回路内で消費される電流量を低減できるとともに、トランジスタN1、N6を交互に導通させることによって、たとえば前述のコンデンサ34、35などでサンプリング

42

した電圧を減衰させることなく出力することができる。また、駆動回路131、141では、能動負荷に与えるバイアス電圧を制御することによって、出力バッファ54、71のトランジスタP4、N14の駆動能力を規定することができ、駆動回路131、141に流れる電流量を制御して消費される電流量をさらに低減させることができる。さらに、駆動回路131、141は、出力端子59から出力される電圧をトランジスタN2またはP12のゲートに与えるボルテージフォロア回路となっているので、動作状態はほとんどの場合で平衡状態となっており、駆動回路131、141の消費電流を効果的に低減することができる。

【0148】図14は、本発明の実施の第7の形態である駆動回路151およびその周辺の構成を示すブロック図であり、図15は駆動回路151の回路図である。駆動回路151は、たとえばアクティブマトリクス方式の液晶表示パネルを駆動する駆動回路として用いられる。図14に示す回路構成は、前述の図3に示すソースドライバにおけるオペアンプOpおよびコンデンサCHに置換えることができる。駆動回路151において、前述の各駆動回路51、68、111、121と同一の構成要素、および同一の機能を有する構成要素には同一の参照符を付して説明を省略する。

【0149】駆動回路151は、前述の駆動回路111と駆動回路121とにおける各入力および出力端子を共通に接続し、動作可能な入力電圧の範囲を広げたブッシュアップ動作を行うことができる構成となっている。駆動回路151は、入力される電圧が接地電圧GNDから電源電圧VDDまでの全電源領域にわたって動作することができる。

【0150】駆動回路151では、出力端子59を共通に接続し、第1非反転入力端子116、126、第2非反転入力端子117、127、端子118、128、および端子119、129をそれぞれ共通に接続している。また、出力端子59は、トランジスタN2、P12に接続される。出力が反転入力電圧として与えられることによって、駆動回路151はボルテージフォロア回路として動作する。

【0151】図14において、コンデンサ153、154は、それぞれアナログ信号Yの電圧を保持し、各コンデンサ153、154の一方の端子はそれぞれアナログスイッチ155、156を介して入力信号線157に接続され、他方の端子は共にグランドに接続されている。

【0152】駆動回路111において、トランジスタN7、N8は、入力端子116、117からトランジスタN1、N6のゲートに与えられる非反転入力電圧のうち、いずれを選択するかを制御するためのトランジスタである。トランジスタN7、N8は、制御信号S3とS4とが各ゲートに入力され、制御信号S3、S4のそれぞれの電圧レベルでトランジスタN7とN8とが交互に

導通することで、トランジスタN2と差動対を構成するトランジスタがトランジスタN1とN6とで切替わる。トランジスタN9は、カレントミラー回路の構成上、対称の回路構成にする必要があるために挿入しているトランジスタで、ゲートに印加される電圧はハイレベルである電源電圧VDDとなっており、常に導通状態になっている。

【0153】また、駆動回路121におけるトランジスタP17、P18、P19は、前述のトランジスタN7、N8、N9とそれぞれ対応する構成のトランジスタであり、制御信号S3、S4をそれぞれ反転した制御信号S3BとS4Bとによって導通/遮断の様相が制御される。

【0154】駆動回路151は、従来技術における図24のタイミングチャートで示されるように、制御信号S1とS2とに同期したタイミングで、コンデンサ153と154とにデータサンプリングを行い、サンプリングされた電圧を制御信号S3とS4とによって交互に2つの駆動回路111、121から出力している。

【0155】制御信号S3によって、コンデンサ153がホールドした電圧を出力している際には、コンデンサ154に電圧がサンプル・ホールドされ、制御信号S4によってコンデンサ154がホールドした電圧を出力している際には、コンデンサ153の電圧がサンプル・ホールドされるというように、交互にデータサンプリングと出力との各動作を繰り返すように制御される。

【0156】以上のように本発明の実施の第7の形態によれば、駆動回路151は前述の実施の第5の形態における駆動回路111、121の各入力端子および出力端子を共通に接続し、トランジスタP4、N14をブッシュアップ動作させているので、前述の駆動回路111、121における効果を得ることができるとともに、動作可能な入力電圧の範囲を接地電圧から電源電圧までの全電源領域とすることができる。したがって、特別にデュプリージョン型のトランジスタを形成しなくても通常のロジック回路のIC製造プロセスにて広入力なダイナミックレンジが得られ、アクティブマトリクス方式の液晶表示パネルを駆動する高性能な駆動回路を実現することができる。

【0157】図16は、本発明の実施の第8の形態である駆動回路171の回路図である。駆動回路171は、駆動回路151と同様に、たとえばアクティブマトリクス方式の液晶表示パネルを駆動する駆動回路として用いられる。駆動回路171において、前述の各駆動回路76、81、131、141、151と同一の構成要素、および同一の機能を有する構成要素には同一の参照符を付して説明を省略する。

【0158】駆動回路171は、能動負荷としてトランジスタP5、P6；N15、N16がそれぞれ設けられた駆動回路131と駆動回路141とにおける各入力お

よび出力端子を共通に接続し、動作可能な入力電圧の範囲を広げたブッシュアップ動作を行うことができる構成となっている。駆動回路171では、入力される電圧が接地電圧GNDから電源電圧VDDまでの全電源領域にわたって動作することができる。

【0159】駆動回路171では、出力端子59を共通に接続し、第1非反転入力端子116、126、第2非反転入力端子117、127、端子118、128、および端子119、129をそれぞれ共通に接続している。また、第1バイアス入力端子172は、トランジスタN3、N15、N16の各ゲートに接続され、第2バイアス入力端子173は、トランジスタP5、P6、P13の各ゲートに接続される。また、出力端子59は、トランジスタN2、P12に接続される。出力が反転入力電圧として与えられることによって、駆動回路171はボルテージフォロア回路として動作する。

【0160】以上のように本発明の実施の第8の形態によれば、駆動回路171は前述の実施の第6の形態における駆動回路131、141の各入力端子および出力端子を共通に接続し、トランジスタP4、N14をブッシュアップ動作させているので、従来回路では動作しなかった入力電圧においても正常に出力を駆動することができるサンプル・ホールドを用いたアクティブマトリクス液晶駆動回路を実現することができる。したがって、特別にデュプリージョン型のトランジスタを形成しなくても通常のロジック回路のIC製造プロセスにて広入力なダイナミックレンジが得られ、アクティブマトリクス方式の液晶表示パネルを駆動する高性能な駆動回路を実現することができる。

【0161】

【発明の効果】本発明によれば、出力手段を流れる電流は、差動増幅手段によって駆動される第3電界効果トランジスタのみでなく、電流量制御手段によって駆動される第4電界効果トランジスタによっても制御されるので、第1および第2入力信号の電圧レベルがほぼ等しい平衡状態であるときには、出力手段を流れる電流を低減することができる。また、第1および第2入力信号の差が大きいときには、第4電界効果トランジスタに流れる電流量が多くなり、駆動回路に接続される負荷に対する駆動能力を向上させることができる。

【0162】また本発明によれば、第5および第6電界効果トランジスタ、第6および第7電界効果トランジスタ、ならびに第8および第4電界効果トランジスタがカレントミラー回路であるので、第4電界効果トランジスタは第6電界効果トランジスタから第2電界効果トランジスタへと供給される電流がゲートに与えられて駆動され、出力手段を流れる電流を第3電界効果トランジスタのみでなく第4電界効果トランジスタによっても制御することができ、平衡状態における出力手段を流れる電流を低減することができる。また、第1および第2入力信

45

号の差が大きいときには、第4電界効果トランジスタに流れる電流量が多くなり、駆動回路に接続される負荷に対する駆動能力を向上させることができる。

【0163】さらに本発明によれば、第9および第10電界効果トランジスタのゲートに印加する電位を制御することによって、第4電界効果トランジスタのゲートに与えられる電流量が制御されるので、たとえば出力手段を流れる電流量を低減させることができる。また、第1および第2入力信号の差が大きいときには、第4電界効果トランジスタに流れる電流量が多くなり、駆動回路に接続される負荷に対する駆動能力を向上させることができる。

【0164】さらに本発明によれば、出力手段の出力を第2入力信号として第2電界効果トランジスタのゲートに与えてボルテージフォロア回路としているので、第1と第2電界効果トランジスタとに与えられる信号の電圧レベルが同電位となり、第1と第2電界効果トランジスタとに与えられる第1および第2入力信号が急激に変化することがない限り、駆動回路は平衡状態で動作することとなり、出力手段を流れる電流、すなわち駆動回路で消費される電流を低減させることができる。

【0165】本発明によれば、第1および第2入力信号の電圧レベルが接地電位から電源電位までの間のどのような電圧レベルとなっても、電源電位から出力端子までと出力端子から接地電位までとの電源電位から接地電位まで電流が流れる経路が少なくとも1つ存在することとなり、第1および第2入力信号がどのような電圧レベルとなっても動作する駆動回路とすることができる。また、第1および第2駆動回路は、差動増幅手段によって駆動される第3電界効果トランジスタのみでなく、電流量制御手段によって駆動される第4電界効果トランジスタによっても出力手段を流れる電流量が制御されるので、第1および第2入力信号の電圧レベルがほぼ等しい平衡状態であるときには、出力手段を流れる電流を低減することができる。また、第1および第2入力信号の差が大きいときには、第4電界効果トランジスタに流れる電流量が多くなり、駆動回路に接続される負荷に対する駆動能力を向上させることができる。

【0166】また本発明によれば、第1差動増幅手段の第4電界効果トランジスタは、第10電界効果トランジスタから第2電界効果トランジスタへと供給される電流がゲートに与えられて駆動され、第2差動増幅手段の第8電界効果トランジスタは、第14電界効果トランジスタから第2電界効果トランジスタへと供給される電流がゲートに与えられて駆動されるので、第1出力手段を流れる電流は、第3電界効果トランジスタのみでなく第4電界効果トランジスタによっても制御されることとなり、また第2出力手段を流れる電流は第7電界効果トランジスタのみでなく第8電界効果トランジスタによっても制御されることとなり、第1および第2入力信号の電

46

圧レベルがほぼ等しい平衡状態であるときには第1および第2出力手段を流れる電流をそれぞれ低減することができる。また、第1および第2入力信号の差が大きいときには第4および第8電界効果トランジスタに流れる電流量が多くなり、駆動回路に接続される負荷に対する駆動能力を向上させることができる。

【0167】さらに本発明によれば、第1出力手段の第4電界効果トランジスタは、第10および第18電界効果トランジスタから第2電界効果トランジスタに供給される電流量によって制御され、第2出力手段の第8電界効果トランジスタは、第14および第20電界効果トランジスタから第6電界効果トランジスタに供給される電流量によって制御されるので、第17および第18ならびに第19および第20電界効果トランジスタのゲートに印加する電位を制御することによって、第4および第8電界効果トランジスタのゲートに与えられる電流量が制御され、たとえば第1および第2出力手段を流れる電流量を低減させることができる。

【0168】さらに本発明によれば、駆動回路の出力を第2および第6電界効果トランジスタの各ゲートにそれぞれ与えてボルテージフォロア回路としているので、第1駆動回路の第1および第2電界効果トランジスタに与えられる信号の電圧レベルが同電位となり、かつ第2駆動回路の第5および第6電界効果トランジスタに与えられる信号の電圧レベルが同電位となり、第1および第2入力信号が急激に変化することがない限り各駆動回路は平衡状態で動作することとなり、出力手段を流れる電流、すなわち駆動回路で消費される電流を低減させることができる。

【0169】本発明によれば、駆動回路の差動増幅手段は、第1および第2スイッチング手段の導通/遮断が制御されることによって、差動対を構成する電界効果トランジスタの組合わせが変更され、第1および第2入力信号または第2および第3入力信号によって第4電界効果トランジスタが駆動される。出力手段には電流量制御手段によって駆動される第5電界効果トランジスタが含まれ、第4電界効果トランジスタのドレインと第1電位との間に流れる電流を制御しているので、第1および第2スイッチング素子の導通/遮断を制御することで第1および第3の入力信号をそれぞれ切換えて差動増幅動作を行い、かつ第1および第2入力信号または第2および第3入力信号の電圧レベルがほぼ等しい平衡状態であるときには、出力手段を流れる電流を低減することができる。また、第1および第2入力信号または第2および第3入力信号の電圧レベルの差が大きいときには、第4電界効果トランジスタに流れる電流量が多くなり、駆動回路に接続される負荷に対する駆動能力を向上させることができる。

【0170】また本発明によれば、第6および第7電界効果トランジスタ、第7および第8電界効果トランジスタ

タ、ならびに第9および第5電界効果トランジスタがカレントミラー回路となっており、第5電界効果トランジスタは第2電界効果トランジスタへと供給される電流がゲートに与えられて駆動されるので、出力手段を流れる電流を第4電界効果トランジスタのみでなく第5電界効果トランジスタによっても制御することができ、平衡状態における出力手段を流れる電流を低減することができる。また、第1および第2入力信号または第2および第3入力信号の電圧レベルの差が大きいたときには、第5電界効果トランジスタに流れる電流量が多くなり駆動回路に接続される負荷に対する駆動能力を向上させることができる。

【0171】さらに本発明によれば、第9および第10電界効果トランジスタのゲートに印加する電位を制御することによって、第4電界効果トランジスタのゲートに与えられる電流量が制御されるので、平衡状態における出力手段を流れる電流量を低減させることができる。また、第1および第2入力信号または第2および第3入力信号の電圧レベルの差が大きいたときには、第4電界効果トランジスタに流れる電流量が多くなり、駆動回路に接続される負荷に対する駆動能力を向上させることができる。

【0172】さらに本発明によれば、出力手段の出力を第2入力信号として第2電界効果トランジスタのゲートに与えてボルテージフォロア回路としているので、第1および第2電界効果トランジスタに与えられる信号の電圧レベルが同電位となり、第1および第2電界効果トランジスタに与えられる第1および第2入力信号または第2および第3入力信号の電圧レベルが急激に変化することはない限り、駆動回路は平衡状態で動作することとなり、出力手段を流れる電流、すなわち駆動回路で消費される電流を低減することができる。

【0173】本発明によれば、第1駆動回路と第2駆動回路とに第1、第2および第3入力信号を共通に与え、第1および第2出力手段の各電界効果トランジスタのドレインを互いに接続し、接続点の電位を出力するので、第1および第2入力信号または第2および第3入力信号の電圧レベルが接地電位から電源電位までの間のどのような電圧レベルとなっても、電源電位から出力端子までと出力端子から接地電位までとの電源電位から接地電位まで電流が流れる経路が少なくとも1つ存在することとなり、第1および第2入力信号または第2および第3入力信号の電圧レベルがどのような電圧レベルとなっても動作する駆動回路とすることができる。

【0174】また本発明によれば、第1差動増幅手段では、第11および第12電界効果トランジスタ、第12および第13電界効果トランジスタ、ならびに第13および第5電界効果トランジスタがカレントミラー回路となっているので、第5電界効果トランジスタは第12電界効果トランジスタから第2電界効果トランジスタへと

供給される電流がゲートに与えられて駆動され、第2差動増幅手段では、第15および第16電界効果トランジスタ、第16および第17電界効果トランジスタ、ならびに第17および第10電界効果トランジスタがカレントミラー回路となっているので、第10電界効果トランジスタは第16電界効果トランジスタから第7電界効果トランジスタへと供給される電流がゲートに与えられて駆動されるので、第1出力手段を流れる電流は、第4電界効果トランジスタのみでなく第5電界効果トランジスタによっても制御されることとなり、また第2出力手段を流れる電流は第9電界効果トランジスタのみでなく第10電界効果トランジスタによっても制御されることとなり、第1および第2入力信号または第2および第3入力信号の電圧レベルがほぼ等しい平衡状態であるときには第1および第2出力手段を流れる電流をそれぞれ低減することができる。また、第1および第2入力信号または第2および第3入力信号の電圧レベルの差が大きいたときには第5および第10電界効果トランジスタに流れる電流量が多くなり、駆動回路に接続される負荷に対する駆動能力を向上させることができる。

【0175】さらに本発明によれば、第1出力手段の第5電界効果トランジスタは、第19および第20電界効果トランジスタから第2電界効果トランジスタに供給される電流量によって制御され、第2出力手段の第10電界効果トランジスタは、第21および第22電界効果トランジスタから第7電界効果トランジスタに供給される電流量によって制御されるので、第19および第20ならびに第21および第22電界効果トランジスタのゲートに印加する電位を制御することによって、第5および第10電界効果トランジスタのゲートに与えられる電流量が制御され、第1および第2出力手段を流れる電流量を低減させることができる。

【0176】さらに本発明によれば、駆動回路の出力を第2および第6電界効果トランジスタの各ゲートにそれぞれ与えてボルテージフォロア回路としているので、第1駆動回路の第1および第2電界効果トランジスタならびに第3および第2電界効果トランジスタのいずれか一方のトランジスタの対に与えられる信号の電圧レベルが同電位となり、かつ第2駆動回路の第6および第7電界効果トランジスタならびに第8および第7電界効果トランジスタのいずれか一方のトランジスタの対に与えられる信号の電圧レベルが同電位となり、第1および第2入力信号または第2および第3入力信号の電圧レベルが急激に変化することはない限り各駆動回路は平衡状態で動作することとなり、出力手段を流れる電流、すなわち駆動回路で消費される電流を低減することができる。

【図面の簡単な説明】

【図1】本発明の実施の第1の形態である駆動回路51の回路図である。

【図2】液晶表示装置60の構成を示すブロック図であ

る。

【図3】ソースドライバ61の構成を示すブロック図である。

【図4】本発明の実施の第1の形態の他の構成例である駆動回路68の回路図である。

【図5】本発明の実施の第2の形態である駆動回路76の回路図である。

【図6】本発明の実施の第2の形態の他の構成例である駆動回路81の回路図である。

【図7】本発明の実施の第3の形態である駆動回路91の回路図である。

【図8】駆動回路91の動作を説明するための図である。

【図9】本発明の実施の第4の形態である駆動回路101の回路図である。

【図10】本発明の実施の第5の形態である駆動回路111の回路図である。

【図11】本発明の実施の第5の形態の他の構成例である駆動回路121の回路図である。

【図12】本発明の実施の第6の形態である駆動回路131の回路図である。

【図13】本発明の実施の第6の形態の他の構成例である駆動回路141の回路図である。

【図14】本発明の実施の第7の形態である駆動回路151およびその周辺の構成を示すブロック図である。

【図15】駆動回路151の回路図である。

【図16】本発明の実施の第8の形態である駆動回路171の回路図である。

【図17】第1の先行技術である駆動回路1の回路図である。

【図18】第2の先行技術である駆動回路11の回路図

である。

【図19】第3の先行技術である駆動回路16の回路図である。

【図20】第4の先行技術である駆動回路21の回路図である。

【図21】駆動回路21の動作を説明するための図である。

【図22】第5の先行技術である駆動回路31およびその周辺の構成を示すブロック図である。

【図23】駆動回路31に含まれる差動増幅回路32の回路図である。

【図24】駆動回路31の動作を示すタイミングチャートである。

【符号の説明】

51, 68, 76, 81, 91, 101, 111, 12

1, 131, 141, 151, 171 駆動回路

52, 69, 77, 82, 112, 122, 132, 1

42 差動増幅回路

53, 70 レベル変換回路

54, 71 出力バッファ

56, 92 反転入力端子

57, 93 非反転入力端子

58, 94, 143 第1バイアス入力端子

59, 96 出力端子

72, 78, 95, 133 第2バイアス入力端子

116, 126 第1反転入力端子

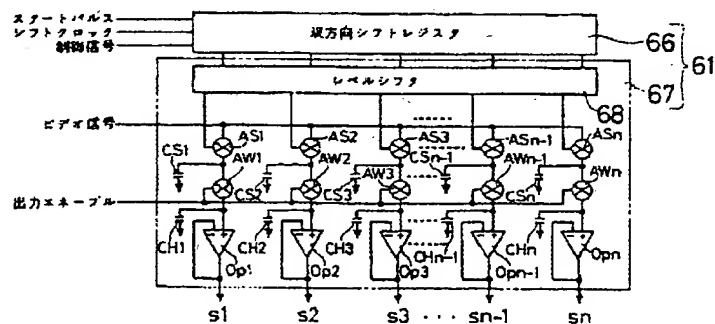
117, 119, 127, 129 端子

118, 128 第2反転入力端子

P1, P2, P3, P4 Pチャネルトランジスタ

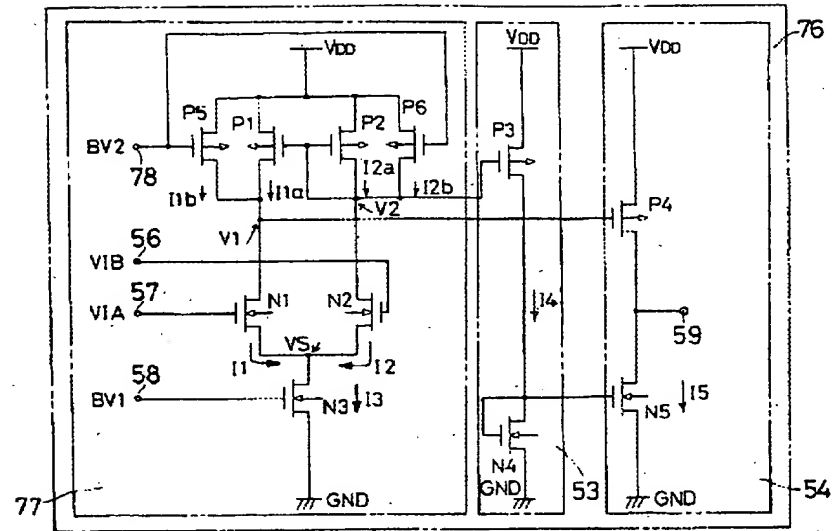
30 N1, N2, N3, N4, N5 Nチャネルトランジスタ

【図3】

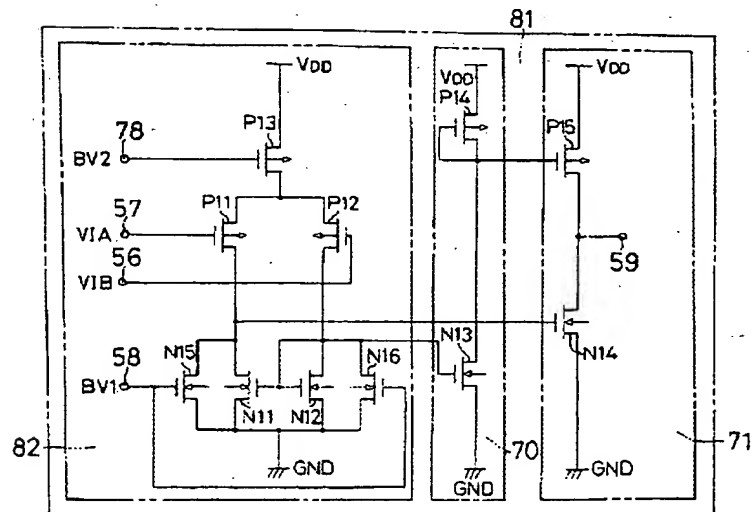


[illegible]

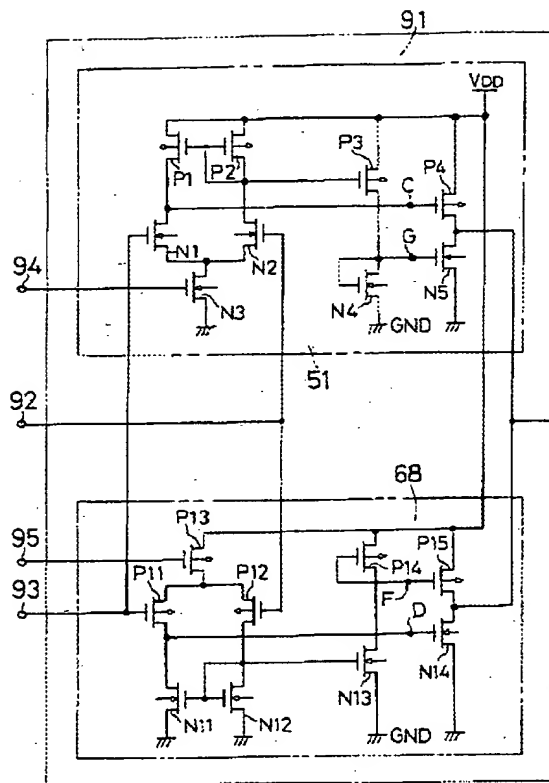
【図5】



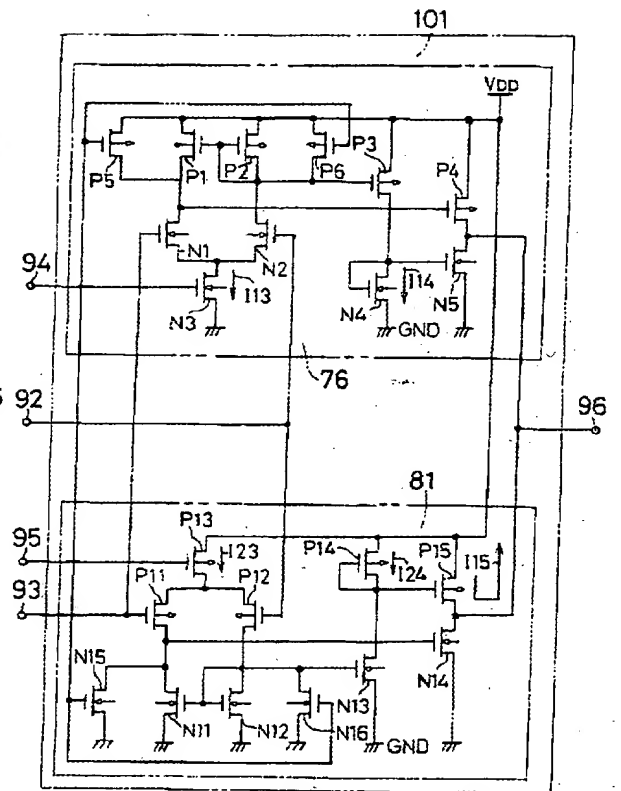
【図6】



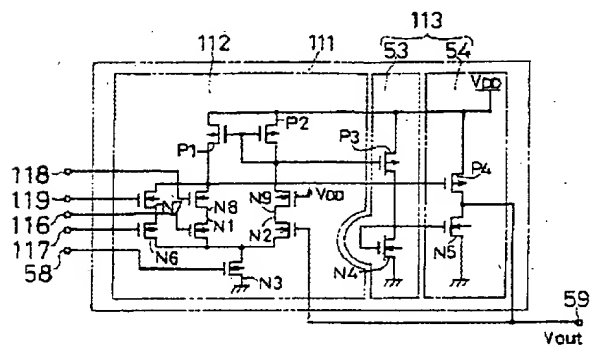
【図7】



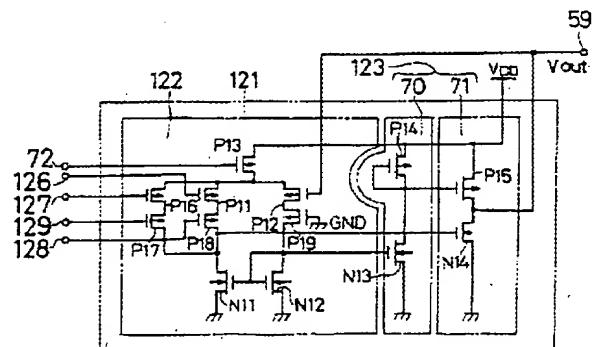
【図9】



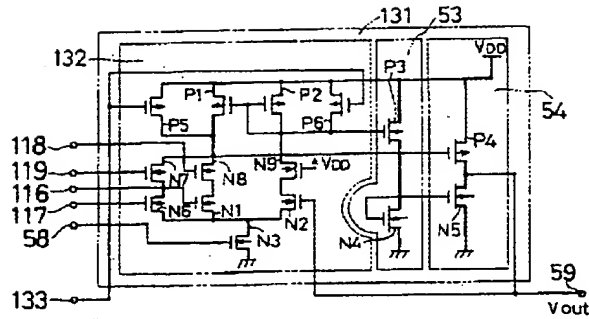
【図10】



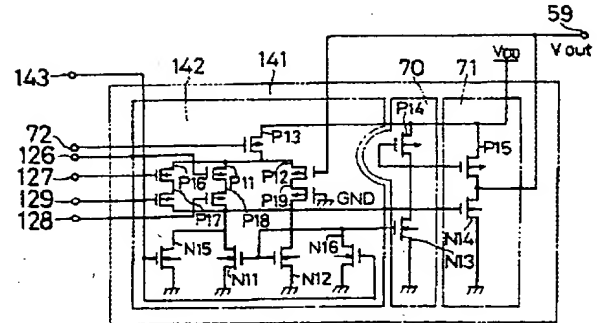
【図11】



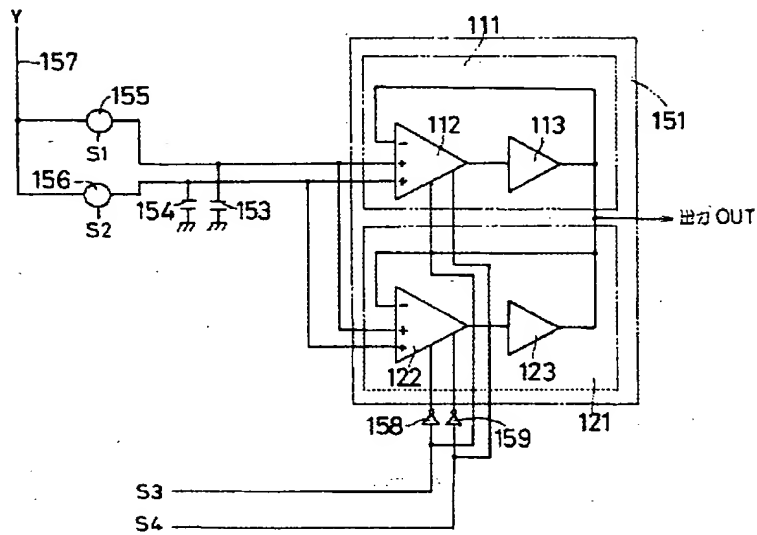
【図12】



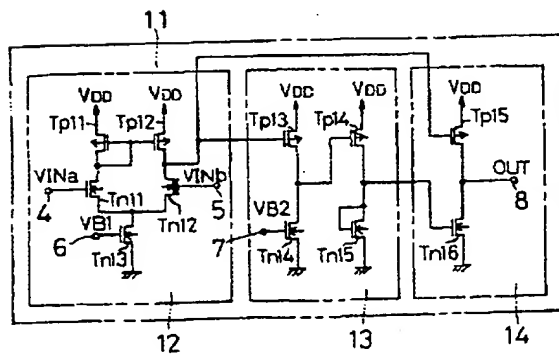
【図13】



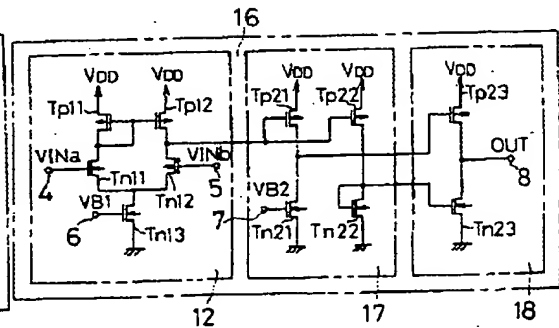
【図14】



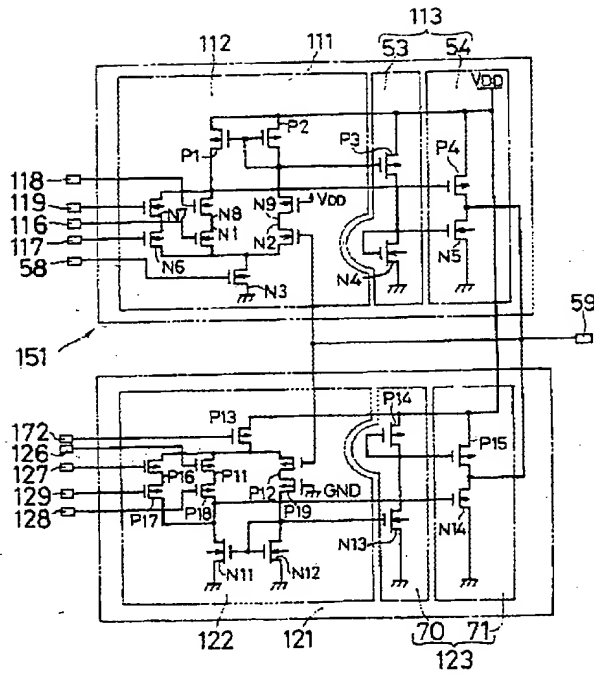
【図18】



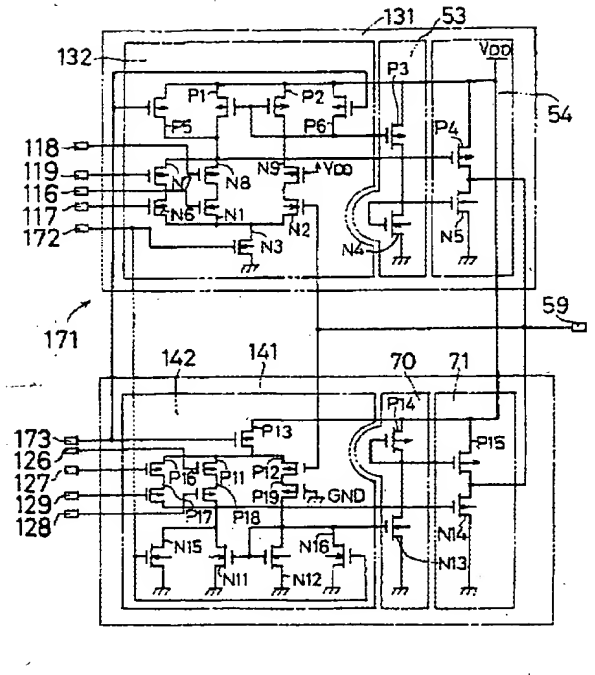
【図19】



【図15】

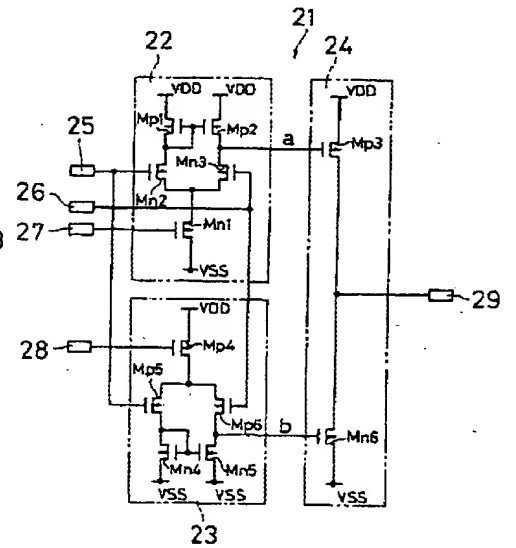
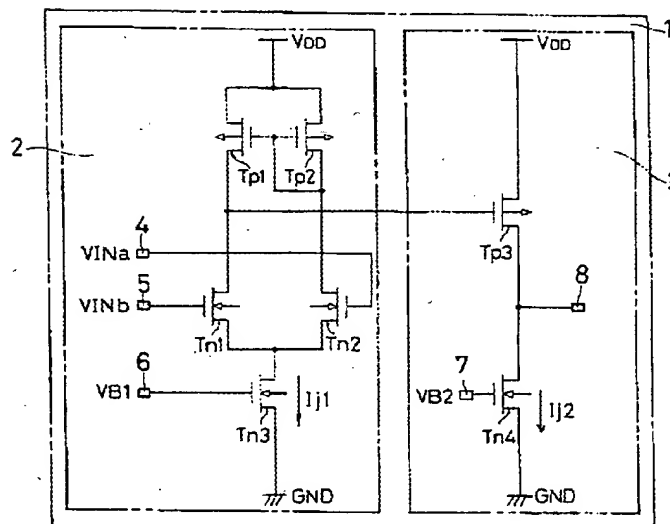


【図16】

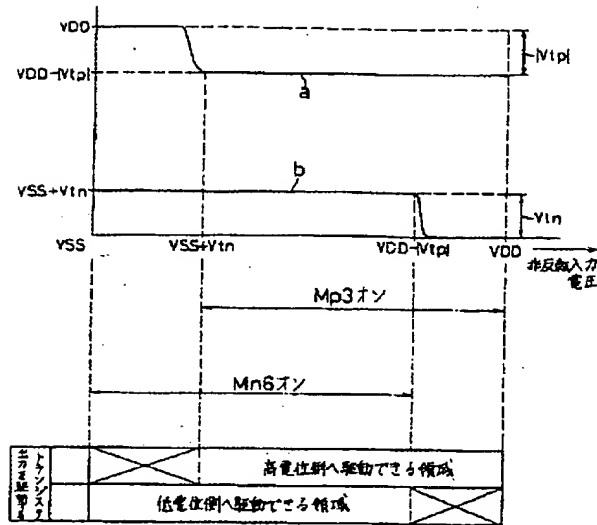


【図20】

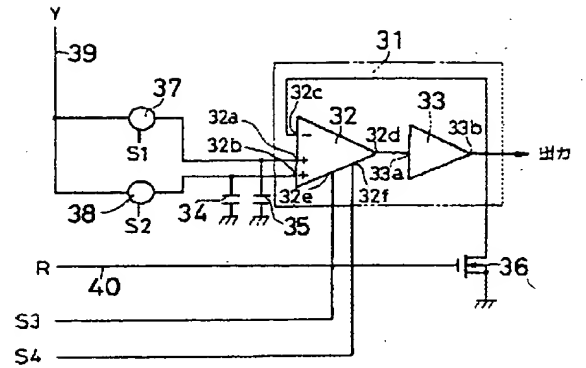
【図17】



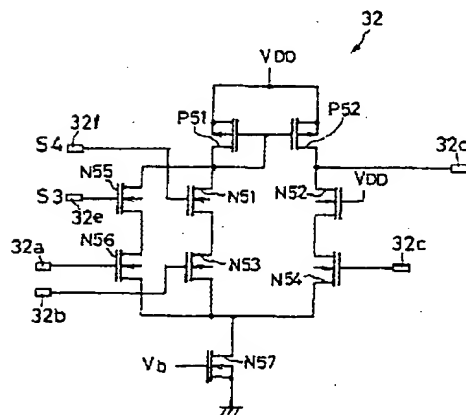
【図21】



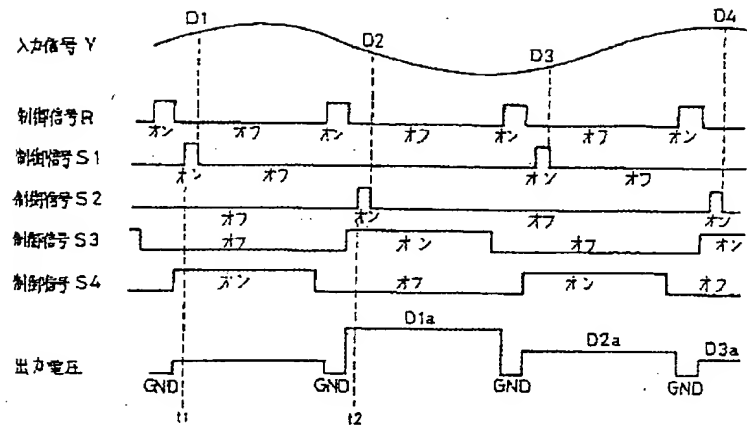
【図22】



【図23】



【図24】



THIS PAGE BLANK (USPTO)